

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-026589

(43)Date of publication of application : 28.01.1997

(51)Int.Cl. G02F 1/1345  
G02F 1/1333  
G02F 1/136

(21)Application number : 07-175030

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.07.1995

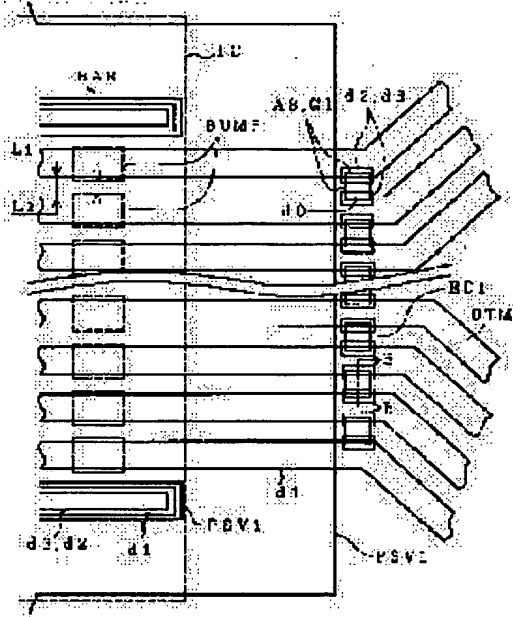
(72)Inventor : OUGUCHI KIMITOSHI  
SUZUKI MASAHIKO  
MATSUNAGA KUNYUKI  
OGAWARA HIROSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make the resistance between terminals on a driving IC and a transparent substrate low and to improve the resistance to erosion of terminals on the substrate by making distance between bumps of a driving IC to be connected to terminals smaller than that between terminals to be connected to the bumps.

**SOLUTION:** In the output terminals DTM from a drain driving IC, the distance L1 between bumps BUMP to be connected to terminals DTM is made smaller than the distance L2 between terminals DTM. For example, L1 is  $20\mu\text{m}$  and L2 is  $20\mu\text{m}$ . Consequently, since the width of the bump BUMP is wider than that of the terminal DTM, even through the mis-registration of the bumps BUMP is generated by the mis-registration of the drain driving IC, the contact areas between the bumps BUMP and the terminals DTM are maintained and the resistances are made low. Moreover, since the distance L2 between terminals DTM is made large, electric erosion of terminals DTM made of a transparent electrically conductive film d1 in which the electric erosion is apt to be generated is suppressed.



## LEGAL STATUS

[Date of request for examination] 13.09.2000

[Date of sending the examiner's decision of rejection] 05.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

引用例 2 の写し

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-26589

(43) 公開日 平成 9 年 (1997) 1 月 28 日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1345		G 0 2 F	1/1345
	1/1333	5 0 0		1/1333
	1/136	5 0 0		1/136

審査請求 未請求 請求項の数 4 O L (全 25 頁)

(21) 出願番号 特願平7-175030

(22) 出願日 平成 7 年 (1995) 7 月 11 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 扇一 公俊

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72) 発明者 鈴木 雅彦

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72) 発明者 松永 邦之

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(74) 代理人 弁理士 中村 純之助

最終頁に続く

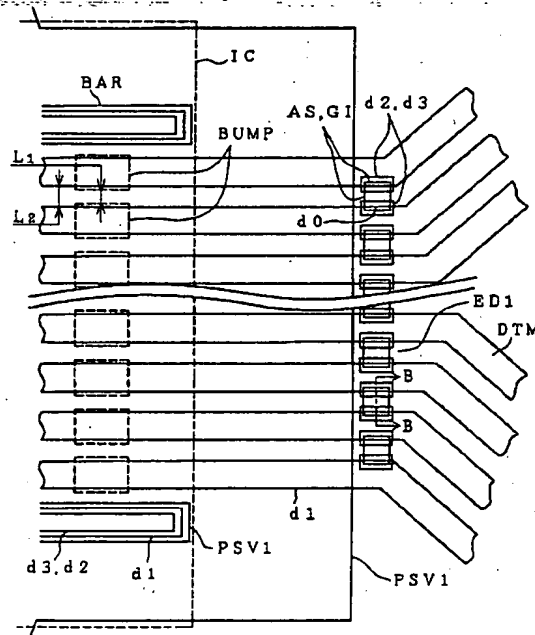
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】駆動用 I C と透明絶縁基板上的端子間の低抵抗化と、該基板上的端子の耐電食性の向上を両立させる。

【構成】ドレイン駆動用 I C からの透明絶縁基板上に設けられた出力端子 D T M 間の距離  $L_2$  よりも、該端子 D T M に接続されるバンプ B U M P 間の距離  $L_1$  が小さい構成。

図 4



## 【特許請求の範囲】

【請求項1】液晶層を介して重ね合わせた2枚の透明絶縁基板の一方の前記基板面上に駆動用ICを搭載し、かつ、前記基板面上に前記駆動用ICのバンパと接続される端子を設けたフリップチップ方式の液晶表示素子を有する液晶表示装置において、前記端子間の距離よりも、該端子に接続される前記バンパ間の距離が小さいことを特徴とする液晶表示装置。

【請求項2】前記端子の少なくとも前記バンパが接続される部分が、透明導電膜単層からなるか、または最上層が透明導電膜からなることを特徴とする請求項1記載の液晶表示装置。

【請求項3】前記バンパが接続される部分の近傍の前記端子上に、低抵抗導電膜を有することを特徴とする請求項1記載の液晶表示装置。

【請求項4】ゲート走査駆動用ICへの入力端子、ドレイン駆動用ICからの出力端子において、前記端子間の距離よりも、該端子に接続される前記バンパ間の距離が小さいことを特徴とする請求項1記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶層を介して重ね合わせた2枚の透明絶縁基板の一方の基板上に、駆動用ICを直接搭載したフリップチップ方式の液晶表示素子を有する液晶表示装置に関する。

【0002】

【従来の技術】例えばアクティブ・マトリクス方式の液晶表示装置の液晶表示素子（すなわち、液晶表示モジュール）では、液晶層を介して互いに対向配置されるガラス等からなる2枚の透明絶縁基板のうち、その一方のガラス基板の液晶層側の面に、そのx方向に延在し、y方向に並設されるゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されるドレイン線群とが形成されている。

【0003】これらのゲート線群とドレイン線群とで囲まれた各領域がそれぞれ画素領域となり、この画素領域にスイッチング素子として例えば薄膜トランジスタ（TFT）と透明画素電極とが形成されている。

【0004】ゲート線に走査信号が供給されることにより、薄膜トランジスタがオンされ、このオンされた薄膜トランジスタを介してドレイン線からの映像信号が画素電極に供給される。

【0005】なお、ドレイン線群の各ドレイン線はもちろんのこと、ゲート線群の各ゲート線においても、それぞれ透明絶縁基板の周辺にまで延在されて外部端子を構成し、この外部端子にそれぞれ接続されて映像駆動回路、ゲート走査駆動回路、すなわち、これらを構成する複数個の駆動用IC（半導体集積回路）が該透明絶縁基板の周辺に外付けされるようになっている。つまり、これらの各駆動用ICを搭載したテープキャリアパッケー

ジ（TCP）を基板の周辺に複数個外付けする。

【0006】しかし、このように透明絶縁基板は、その周辺に駆動用ICが搭載されたTCPが外付けされる構成となっているので、これらの回路によって、透明絶縁基板のゲート線群とドレイン線群との交差領域によって構成される表示領域の輪郭と、該透明絶縁基板の外枠の輪郭との間の領域（通常、額縁と称している）の占める面積が大きくなってしまい、液晶表示モジュールの外形寸法を小さくしたいという要望に反する。

【0007】それゆえ、このような問題を少しでも解消するために、すなわち、液晶表示素子の高密度化と液晶表示モジュールの外形をできる限り縮小したいとの要求から、TCP部品を使用せず、映像駆動用ICおよびゲート走査駆動用ICを透明絶縁基板上に直接搭載する構成が提案された。このような実装方式をフリップチップ方式、あるいはチップ・オン・ガラス（COG）方式という。

【0008】また、公知例ではないが、フリップチップ方式の液晶表示装置に関しては、同一出願人であるが、モジュール実装方法について先願がある（特願平6-256426号）。

【0009】

【発明が解決しようとする課題】従来のフリップチップ方式の液晶表示素子において、駆動用ICのバンパと接続される透明絶縁基板上の端子および配線は、透明導電膜単層で形成されており、抵抗が高い問題があった。また、駆動用ICの実装位置ずれが生じた場合、バンパと端子との接続面積が縮小し、抵抗が高くなったり、ばらつきたりし、表示不良が発生する問題があった。

【0010】また、透明絶縁基板面上に形成された端子間で電食が生じやすい問題があった。すなわち、金属の端子間に電界がかかると、塩素等の不純物を含む水分等に起因して金属が電気分解を起こし、端子が腐食する。最近、液晶表示素子の高精細化が進み、また、液晶表示素子の額縁部の縮小および液晶表示モジュールの小型化のため、ゲート走査あるいはドレイン駆動用ICをそれぞれ液晶表示素子の片側のみに配置するいわゆる片側引き出し構造の採用により、駆動用ICへの入力配線のピッチが縮小化する傾向にあるので、端子の電食の問題は無視できないレベルとなっている。

【0011】本発明の目的は、駆動用ICと透明絶縁基板上の端子間の低抵抗化と、該基板上の端子の耐電食性の向上を両立できるフリップチップ方式の液晶表示素子を有する液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明は、液晶層を介して重ね合わせた2枚の透明絶縁基板の一方の前記基板面上に駆動用ICを搭載し、かつ、前記基板面上に前記駆動用ICのバンパと接続される端子を設けたフリップチップ方式の液晶表示素子を

有する液晶表示装置において、前記端子間の距離よりも、該端子に接続される前記バンク間の距離が小さいことを特徴とする。

【0013】また、前記端子の少なくとも前記バンクが接続される部分が、透明導電膜単層からなるか、または最上層が透明導電膜からなることを特徴とする。

【0014】また、前記バンクが接続される部分の近傍の前記端子上に、低抵抗導電膜を有することを特徴とする。

【0015】また、ゲート走査駆動用ICへの入力端子、ドレイン駆動用ICからの出力端子において、前記端子間の距離よりも、該端子に接続される前記バンク間の距離が小さいことを特徴とする。

【0016】

【作用】本発明では、基板面上の端子の幅よりバンクの幅が広いので、駆動用ICの位置ずれにより、端子に対するバンクの位置ずれが生じても、バンクと端子との接触面積が確保されるので、抵抗を低くできる。また、バンクが接続される部分の近傍の端子上に、低抵抗導電膜を設けることにより、より低抵抗化できる。

【0017】また、端子間の距離よりも、該端子に接続されるバンク間の距離が小さいため、端子間の距離を大きくとることができ、電食が生じやすい例えば透明導電膜からなる端子の電食を抑制できる。なお、バンク同士は接近しているが、バンクは電食が生じにくい金等からできているので、電食の問題はない。

【0018】

【実施例】以下、図面を用いて本発明の実施例について詳細に説明する。

【0019】《駆動用ICチップ搭載部近傍の平面および断面構成》図1は、例えばガラスからなる透明絶縁基板SUB1上に駆動用ICを搭載した様子を示す平面図である。さらに、A-A切断線における断面図を図13に示す。図1において、一方の透明絶縁基板SUB2は、一点鎖線で示すが、透明絶縁基板SUB1の上方に重なって位置し、シールパターンSL（図1参照）により、有効表示部（有効画面エリア）ARを含んで液晶LCを封入している。透明絶縁基板SUB1上の電極COMは、導電ビーズや銀ペースト等を介して、透明絶縁基板SUB2側の共通電極パターンに電気的に接続させる配線である。配線DTM（あるいはGTM）は、駆動用ICからの出力信号を有効表示部AR内の配線に供給するものである。入力配線Tdは、駆動用ICへ入力信号を供給するものである。異方性導電膜ACFは、一列に並んだ複数個の駆動用IC部分に共通して細長い形状となったものACF2と上記複数個の駆動用ICへの入力配線パターン部分に共通して細長い形状となったものACF1を別々に貼り付ける。パッシベーション膜（保護膜）PSV1、PSVは、図13にも示すが、電食防止のため、できる限り配線部を被覆し、露出部分は、異方

性導電膜ACF1にて覆うようにする。

【0020】さらに、駆動用ICの側面周辺は、シリコーン樹脂SILが充填され（図13参照）、保護が多重化されている。

【0021】《液晶表示素子とその外周部に配置された回路》図19は、薄膜トランジスタTFTをスイッチング素子として用いたアクティブ・マトリクス方式TFT液晶表示モジュールのTFT液晶表示素子とその外周部に配置された回路を示すブロック図である。本例では、それぞれ液晶表示素子の片側のみに配置されたドレインドライバIC<sub>1</sub>～IC<sub>N</sub>およびゲートドライバIC<sub>1</sub>～IC<sub>N</sub>は、図13に示したように、液晶表示素子の一方の透明絶縁基板SUB1上に形成されたドレイン側引き出し線DTMおよびゲート側引き出し線GTMと異方性導電膜ACF2あるいは紫外線硬化樹脂SIL等でチップ・オン・ガラス実装（COG実装）されている。本例では、XGA仕様である800×3×600の有効ドットを有する液晶表示素子に適用している。このため、液晶表示素子の透明絶縁基板上には、240出力のドレインドライバICを長辺に10個（M=10）と、101出力のゲートドライバICを短辺に6個（N=6）とをCOG実装している。画素数からは、ゲートドライバの出力は、合計600出力あれば足りるが、後述するように、有効画素部の上下に追加ゲート線を形成するため、最上部101出力、中央部100出力×4、および最下部101出力の構成をとっている。なお、同一のゲートドライバICにて、100、101出力の使い分けができる。液晶表示素子の側面にはドレインドライバ部103が配置され、また、側面部には、ゲートドライバ部104、他方の側面部には、コントローラ部101、電源部102が配置されている。コントローラ部101および電源部102、ドレインドライバ部103、ゲートドライバ部104は、それぞれ電気的接続手段JN1、3により相互接続されている。

【0022】本例では、XGAパネルとして800×3×600ドットの10.4インチ画面サイズのTFT液晶表示モジュールを設計した。このため、赤（R）、緑（G）、青（B）の各ドットの大きさは、264μm（ゲート線ピッチ）×88μm（ドレイン線ピッチ）となっており、1画素は、赤色（R）、緑色（G）、青色（B）の3ドットの組合わせで、264μm角となっている。このため、ドレイン線引き出し配線DTMを800×3本とすると、引き出し線ピッチは100μm以下となってしまう、現在使用可能なテープキャリアパッケージ（TCP）実装の接続ピッチ限界以下となる。COG実装では、使用する異方性導電膜等の材料にも依存するが、おおよそ駆動用ICチップのバンクBUMPのピッチで約70μmおよび下地配線との交叉面積で約40μm角が現在使用可能な最小値といえる。このため、本例では、液晶パネルの1個の長辺側にドレインドライバ

ICを一行に並べ、ドレイン線を該長辺側に引き出して、ドレイン線引き出し配線DTMのピッチを $88\mu\text{m}$ とした。したがって、駆動用ICチップのバンパBUMP(図13参照)ピッチを約 $70\mu\text{m}$ および下地配線との交叉面積を約 $40\mu\text{m}$ 角に設計でき、下地配線とより高い信頼性で接続するのが可能となった。ゲート線ピッチは $264\mu\text{m}$ と十分大きいので、片側の短辺側にてゲート線引き出しGTMを引き出しているが、さらに高精度になると、ドレイン線と同様に対向する2個の短辺側にゲート線引き出し線GTMを交互に引き出すことも可能である。

【0023】ドレイン線あるいはゲート線を交互に引き出す方式では、前述したように、引き出し配線DTMあるいはGTMと駆動用ICの出力側BUMPとの接続は容易になるが、周辺回路基板を液晶パネルPNLの対向する2長辺の外周部に配置する必要が生じ、このため、外形寸法が片側引き出しの場合よりも大きくなるという問題があった。特に、表示色数が増えると表示データのデータ線数が増加し、情報処理装置の最外形が大きくなる。このため、本例では、多層フレキシブル基板を使用することで、従来の問題を解決した。また、XGAパネルとして、10インチ以上の画面サイズとなると、ドレイン線引き出し配線DTMのピッチは、約 $100\mu\text{m}$ 以上と大きくなり、1個の長辺側にドレインドライバICをCOG実装にて片側配置できる。

【0024】本例で採用した駆動用ICは、図1におおよそその外観を示すが、モジュール外形をできる限り小さくするため、非常に細長い形状であり、例えば、ゲート側の駆動用ICでは、長辺寸法は、約 $11\sim 17\text{mm}$ 、短辺寸法は、約 $1.0\sim 1.5\text{mm}$ 、ドレイン側の駆動用ICでは、長辺寸法は、約 $11\sim 20\text{mm}$ 、短辺寸法は、約 $1.0\sim 2.0\text{mm}$ である。また、本例では、有効表示部ARと駆動用ICの出力側バンパBUMP部との間のゲート出力配線パターンGTMは、駆動用ICの長辺方向と短辺方向との3方向から延在している。一方、ドレイン出力配線パターンGTMは、駆動用ICの長辺方向の1方向から延在している。

【0025】例えば、本例では、ゲート側の駆動用ICでは、101出力のうち21本を2短辺側から、残り、約80本を1長辺側から出力配線する。ドレイン側の駆動用ICでは、駆動用ICを細長く設計し、長辺方向のみの出力配線とし、240出力を1長辺側から出力配線している。

【0026】図21に、コモン電極に印加されるコモン電圧、ドレインに印加されるドレイン電圧、ゲート電極に印加されるゲート電圧のレベル、および、その波形を示す。なお、ドレイン波形は黒を表示しているときのドレイン波形を示す。

【0027】ゲートオンレベル波形(直流)とゲートオフレベル波形は、 $-9\sim -14$ ボルトの間でレベル変化

し、10ボルトでゲートオンする。ドレイン波形(黒表示時)とコモン電圧Vcom波形は、 $0\sim 3$ ボルトの間でレベル変化する。例えば、黒レベルのドレイン波形を1水平期間(1H)毎に変化させるため、論理処理回路で1ビットずつ論理反転を行ない、ドレインドライバに入力している。ゲートのオフレベル波形は、コモン電圧Vcom波形と略同振幅、同位相で動作する。

【0028】図20は、本例のTFT液晶表示モジュールにおける、ゲートドライバ104、ドレインドライバ103に対する表示用データとクロック信号の流れを示す図である。

【0029】表示制御装置101は、本体コンピュータからの制御信号(クロック、表示タイミング信号、同期信号)を受けて、ドレインドライバ103への制御信号として、クロックD1(CL1)、シフトクロックD2(CL2)および表示データを生成し、同時に、ゲートドライバ104への制御信号として、フレーム開始指示信号FLM、クロックG(CL3)および表示データを生成する。

【0030】また、ドレインドライバ103の前段のキャリア出力は、そのまま次段のドレインドライバ103のキャリア入力に入力される。

【0031】《透明絶縁基板SUB1の製造方法》つぎに、上述した液晶表示装置の第1の透明絶縁基板SUB1側の製造方法について、図16～図18を参照して説明する。なお、同図において、中央の文字は工程名の略称であり、左側は画素部分、右側はゲート端子付近の断面形状で見た加工の流れを示す。工程BおよびDを除き、工程A～Gの工程は各写真(ホト)処理に対応して区分けしたもので、各工程のいずれの断面図もホト処理後の加工が終わり、ホトレジストを除去した段階を示している。なお、主記写真(ホト)処理とは本説明ではホトレジストの塗布からマスクを使用した選択露光を経て、それを現像するまでの一連の作業を示すものとし、繰り返しの説明は避ける。以下区分した工程にしたがって、説明する。

【0032】工程A、図16

7059ガラス(商品名)からなる第1の透明絶縁基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けた後、 $500^{\circ}\text{C}$ 、60分間のベークを行なう。なお、このSIO膜は透明絶縁基板SUB1の表面凹凸を緩和するために形成するが、凹凸が少ない場合、省略できる工程である。膜厚が $2800\text{\AA}$ のAl-Ta、Al-Ti-Ta、Al-Pd等からなる第1導電膜g1をスパッタリングにより設ける。ホト処理後、リン酸と硝酸と氷酢酸との混酸液で第1導電膜g1を選択的にエッチングする。

【0033】工程B、図16

レジスト直描後(前述した陽極酸化パターン形成後)、3%酒石酸をアンモニアにより $\text{PH}6.25\pm 0.05$

に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が $0.5\text{mA}/\text{cm}^2$ になるように調整する(定電流化成)。つぎに、所定の $\text{Al}_2\text{O}_3$ 膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化(陽極化成)を行なう。その後、この状態で数10分保持することが望ましい(定電圧化成)。これは均一な $\text{Al}_2\text{O}_3$ 膜を得る上で大事なことである。それによって、導電膜g1が陽極酸化され、走査信号線(ゲートライン)GL上および側面に自己整合的に膜厚が1800Åの陽極酸化膜AOFが形成され、薄膜トランジストTFTのゲート絶縁膜の一部となる。

#### 【0034】工程C、図16

膜厚が1400ÅのITO膜からなる導電膜d1をスパッタリングにより設ける。ホト処理後、エッチング液として塩酸と硝酸の混酸液で導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

#### 【0035】工程D、図17

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して膜厚が300ÅのN<sup>+</sup>型の非晶質Si膜d0を設ける。この成膜は同一CVD装置で反応室を変え連続して行なう。

#### 【0036】工程E、図17

ホト処理後、ドライエッチングガスとして $\text{SF}_6$ 、BCl<sub>1</sub>を使用してN<sup>+</sup>型非晶質Si膜d0、i型非晶質Si膜ASをエッチングする。続けて $\text{SF}_6$ を使用して窒化Si膜GIをエッチングする。もちろん、 $\text{SF}_6$ ガスでN<sup>+</sup>型非晶質Si膜d0、i型非晶質Si膜ASおよび窒化Si膜GIを連続してエッチングしても良い。

【0037】このように3層のCVD膜を $\text{SF}_6$ を主成分とするガスで連続的にエッチングすることが本実施例の製造工程の特徴である。すなわち、 $\text{SF}_6$ ガスに対するエッチング速度はN<sup>+</sup>型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの順に大きい。したがって、N<sup>+</sup>型非晶質Si膜d0がエッチング完了し、i型非晶質Si膜ASがエッチングされ始めると上部のN<sup>+</sup>型非晶質Si膜d0がサイドエッチされ結果的にi型非晶質Si膜ASが約70度のテーパに加工される。また、i型非晶質Si膜ASのエッチングが完了し、窒化Si膜GIがエッチングされ始めると、上部のN<sup>+</sup>型非晶質Si膜d0、i型非晶質Si膜ASの順にサイドエッチされ、結果的にi型非晶質Si膜ASが約50度、窒化シリコン膜GIが20度にテーパ加工される。上記テーパ形状のため、その上部にソース電極SD1が形成

された場合も断線の確率は著しく低減される。N<sup>+</sup>型非晶質Si膜d0のテーパ角度は90度に近いが、厚さが300Åと薄いために、この段差での断線の確率は非常に小さい。したがって、N<sup>+</sup>型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの平面パターンは厳密には同一パターンではなく、断面が順テーパ形状となるため、N<sup>+</sup>型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの順に大きなパターンとなる。

#### 【0038】工程F、図18

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる第3導電膜d3をスパッタリングにより設ける。ホト処理後、第3導電膜d3を工程Aと同様な液でエッチングし、第2導電膜d2を硝酸第2セリウムアンモニウム溶液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。

【0039】ここで本実施例では、工程Eに示すように、N<sup>+</sup>型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIが順テーパとなっているため、映像信号線DLの抵抗の許容度の大きい液晶表示装置では第2導電膜d2のみで形成することも可能である。

【0040】つぎに、ドライエッチング装置に $\text{SF}_6$ 、BCl<sub>1</sub>を導入して、N<sup>+</sup>型非晶質Si膜d0をエッチングすることにより、ソースとドレイン間のN<sup>+</sup>型半導体層d0を選択的に除去する。

#### 【0041】工程G、図18

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $0.6\mu\text{m}$ の窒化Si膜を設ける。ホト処理後、ドライエッチングガスとして $\text{SF}_6$ を使用してエッチングすることにより、保護膜PSV1を形成する。保護膜としてはCVDで形成したSi<sub>3</sub>N<sub>4</sub>膜のみならず、有機材料を用いたものも使用できる。

【0042】《短絡配線SHg、SHd、SHAによる静電気対策》図2は透明絶縁基板SUB1の駆動用ICの搭載部周辺と、該基板の切断線CT1付近の要部平面図、図14は切断線CT1における切断前の、表面加工する過程における透明絶縁基板SUB1の全体平面図である。

【0043】図14において、液晶表示素子を構成する一方の下部透明絶縁基板SUB1は図13に示した上部透明絶縁基板SUB2よりも大きな面積を有し、後の切断工程により、図中点線で示した切断線CT1において切断され、その外方は放棄される。

【0044】透明絶縁基板SUB1の面上には、まず、その表面の周辺を除く中央部に、x方向に延在し、y方向に並設されるゲート線GLからなるゲート線群と、y方向に延在し、x方向に並設されるドレイン線DLからなるドレイン線群とが形成されている。

【0045】なお、図示は省略しているが、このゲート

線群とドレイン線群とは、層間絶縁膜を介して互いに絶縁されている。

【0046】また、ゲート線群とドレイン線群とが交差している領域によって、表示領域が構成され、互いに隣接する2本のゲート線GLと2本のドレイン線DLとで囲まれる領域により、画素領域が形成されている。

【0047】すなわち、それぞれの画素領域には、スイッチング素子としての薄膜トランジスタ(TFT)と、透明電極からなる画素電極とが形成され、ゲート線GLに走査信号が供給されることにより、薄膜トランジスタがオンし、このオンされた薄膜トランジスタを介してドレイン線DLからの映像信号が画素電極に供給されるようになっている。

【0048】これらゲート線群の各ゲート線GL、およびドレイン線群の各ドレイン線DLはいずれも、表示領域を間にし、片側のみに端子が引き出されている。すなわち、図14に示すように、ゲート線GLは一端(図の上側)がゲート走査駆動用ICと接続され、他端(図の下側)が点線で示した切断線CT1を越えた延在部において、ゲート短絡配線SHgと短絡されている。これにより、各ゲート線GLに発生した静電気は、後の工程で切断線CT1で切断破棄される透明絶縁基板SUB1の面に形成されたゲート短絡配線SHgを介して分散される。

【0049】また、ドレイン線DLも、一端(図の右側)がドレイン駆動用ICと接続され、他端(図の左側)は1本置きに切断線CT1を越えた延在部において、ドレイン短絡配線SHdと短絡され、また、1本置きにIC搭載部近傍においてドレイン短絡配線SHcと短絡されている(図2参照)。これにより、各ドレイン線DLに発生した静電気は、後の工程で切断線CT1で切断破棄される透明絶縁基板SUB1の面に形成されたドレイン短絡配線SHdを介して分散される。

【0050】また、このように形成したゲート短絡配線SHg、SHaおよび2本のドレイン短絡配線SHdは、やはり後の工程で切断破棄される透明絶縁基板SUB1の面において、コンデンサESDを介して容量結合されている。このため、該2本のドレイン短絡配線SHdに、検査用プローブを当接することで、ドレイン線間に短絡不良があるかを容易に検査することができる。

【0051】このコンデンサESDは、各画素領域に形成されている薄膜トランジスタが静電気によって破壊されるのを防止するためのものであり、したがって、コンデンサESDの容量値は、薄膜トランジスタの容量値よりも小さく形成されている。

【0052】また、図中、AOはゲート線GLの表面に陽極酸化膜を形成するため、電流を供給するための陽極化成配線である。陽極化成配線AOの両端、ここでは、透明絶縁基板SUB1の上部に、陽極化成用パッドPADが2個形成されている。この陽極化成用パッドPAD

は、例えばアルミニウム(Al)からなるゲート線GLの表面を陽極酸化させることにより、この場合、酸化アルミニウム(アルミナ)からなる絶縁膜を形成する際に、電流を供給するための電極である。

【0053】さらに、このように構成された透明絶縁基板SUB1では、ゲート線GLが断線して形成されているか否かの検査がなされるようになっており、その検査用端子(パッド)TESTが、ゲート走査駆動用ICの搭載領域の近傍における表示領域側の端部に、すなわち、ゲート短絡配線SHgとつながっていない方の各ゲート線GLの端部に形成されている。これにより、各ゲート線GLが共通短絡された方のゲート短絡配線SHgの側に、一方の検査用プローブを当接し、各ゲート線GLのそれぞれの検査用端子TESTに他方の検査用プローブを順次当接することによって、ゲート線GLの断線の有無が検査できる。なお、陽極化成を行なう際、後でプローブを当接し、ゲート線の断線検査が可能のように、ゲート短絡配線SHg(AO)上にはディスベンサによりレジスト膜を塗布して、陽極酸化膜が形成されるのを防止する。このレジスト膜は検査の前に除去する。

【0054】また、ドレイン線DLが断線して形成されているか否かの検査がなされるようになっている。すなわち、図の左側のドレイン短絡配線SHdに短絡されている方のドレイン線DLには、IC搭載側(右側)の端部に検査用端子TEST(図7参照)が設けられ、図の右側のドレイン短絡配線SHcを介してドレイン短絡配線SHdに短絡されている方のドレイン線DLには、IC搭載側と反対側(左側)の端部に検査用端子TESTが設けられている。これにより、各ドレイン線DLが共通短絡された方のドレイン短絡配線SHdの側に、一方の検査用プローブを当接させ、各ドレイン線DLのそれぞれの検査用端子TESTに他方の検査用プローブを順次当接させることによって、ドレイン線DLの断線の有無が検査できる。

【0055】《駆動用IC下の短絡配線SHcによる静電気対策》図2に示されるように、ドレイン駆動用ICの入力および出力は、共に該ICチップの1辺から出ている。図14を用いて既に説明したように、各ドレイン線DLは1本置きに互い違いの方向に、一方は、切断線CT1を越えて延在され、図中y方向に延在するドレイン短絡配線SHdに接続されて短絡され、他方は図2に示すように短絡配線SHcおよび(ドレイン線駆動用ICへの)入力配線Tdを介して切断線CT1を越えて延在され、ドレイン短絡配線SHdに接続されて短絡されている。すなわち、ドレイン線DLは1本置きに短絡配線SHcに接続され、駆動用IC毎に短絡され、該短絡配線SHcはドレイン線駆動用ICへの2本の入力配線Tdとに接続され、該2本の入力配線Tdを介してドレイン短絡配線SHdに短絡されている。このように、各ドレイン線DLや入力配線Tdに発生した静電気を、短



絡配線SHcとドレイン短絡配線SHdを介して分散するようになっている。なお、液晶表示素子完成後は、もちろん短絡を解除しなければ動作しないので、ドレイン短絡配線SHdはそれぞれ後の工程で切断破棄される切断線CT1の外側の透明絶縁基板SUB1の面に形成されている。ドレイン短絡配線SHdと直接接続されたドレイン線DLの短絡解除は、切断線CT1での基板SUB1の切断によりなされる。一方、短絡配線SHcおよび入力配線Tdを介してドレイン短絡配線SHdと接続されたドレイン線DLの短絡解除は、短絡配線SHcの存在により、切断線CT1での基板SUB1の切断ではなされない。この短絡解除については後述する。

【0056】一方、図14において、各ゲート線GLの形成領域のうち、切断線CT1の内側の領域で、図中上側の切断線CT1と近接する部分において、ゲート線駆動用ICの搭載領域(図14では、符号ICを付した点線で1つを例示する)が設けられている。各ゲート線GLは、その延在方向における該搭載領域と反対側で、切断線CT1を越えたその延在部が、図中y方向に延在するゲート短絡配線SHg(陽極化成用配線AOを兼ねる)を介して接続されている。なお、液晶表示素子完成後は、短絡を解除しなければ動作しないので、ゲート短絡配線SHg、SHaはそれぞれ後の工程で切断破棄される切断線CT1の外側の透明絶縁基板SUB1の面に形成されている。本例では、上記ドレイン線DL側とは異なり、ゲート線GL側では、IC毎の短絡配線SHcは設けていない。この理由は、ゲート線駆動用ICが片側だけに配置され、反対側(ゲート線駆動用ICを配置していない側)のゲート短絡配線SHgによって、ゲート線GLを相互に短絡させることができるためである。ただし、ゲート線駆動用ICを両側に配置する場合や、ゲート短絡配線SHgを配置しない場合は、ゲート線GLを短絡配線SHcを介して、ゲート短絡配線SHgにつなげる必要がある。

【0057】なお、図2、図3に示すように、短絡配線SHcと、1本置ききのドレイン端子DTMおよび入力配線Tdとは、駆動用ICを基板SUB1面上に搭載する前に、1本の切断線C1でレーザまたはホットエッチング等により切断する。したがって、この切断のため、図2に示すように、切断線C1のある領域(IC搭載領域)には、パッシベーション膜PAS1(すなわち、保護膜PSV1)が形成されていない。本例では、切断線C1における1本のカットで容易に短絡解除できる。

【0058】なお、切断線C1の箇所の配線DTMはレーザ切断においても汚染の少ない透明導電膜ITOで形成してあるので、汚染を抑制することができる。また、この切断は、ホットエッチングによって行なってもよい。

【0059】なお、図2には、ドレイン駆動用IC側について図示されているが、この短絡配線SHcを有する構造は、ゲート走査駆動用IC側にもICチップの1辺

から出力および入力が出ている場合に適用できることは言うまでもない。

【0060】《ゲート端子Tgとゲート短絡配線SHaとの分離による静電気対策》図8は、ゲート走査駆動用IC搭載部の端部の拡大詳細平面図である。図中、Tgは基板SUB1上に形成され、該基板SUB1上に搭載されるゲート走査駆動用ICへの入力配線、IPは入力配線TgのIC側端部にあり、ICの入力バンプが接続される入力端子(パッド)、OPはICの出力バンプが接続される出力端子、OL1、OL2は出力端子OPからゲート線へとつながる出力配線、TESTは出力端子OPとゲート線GLとの間に設けられたゲート線断線検査用端子、dtは短絡配線SHaと入力配線Tgとの最小距離、d2は入力端子IPと出力端子OPとの最小距離である。

【0061】図14から明らかなように、駆動用ICを基板SUB1上に直接搭載するフリップチップ方式の透明絶縁基板SUB1では、ゲート走査駆動用ICが実装される側には、該ICへの入力用配線Tgおよび入力端子(図8の符号IP)を設ける必要がある。さらに、出力端子OPからの出力配線OLには、断線検査用端子TESTを途中に形成し、短絡配線SHgとの間で各ゲート線GLの断線検査を行なう必要がある。このため、従来構成では、あらかじめ、入力端子IPと出力端子OPとは、電気的に開放とする必要があり、静電気対策のため、各入力配線Tgを短絡配線SHaに接続し、さらに、周囲の陽極化成用配線AOと短絡させていた。

【0062】しかし、入力端子IPとゲート短絡配線SHaと接続した場合、図8において、駆動用ICの搭載領域に存在する各ゲート線GLの出力端子OPと、ゲート短絡配線SHaと従来接続されていた(本構造では接続されていない)該ICへの入力配線Tgの入力端子IPとの間(d2で示す箇所)で静電気スパークが発生することがわかった。これは、従来構成では、静電気が、例えば保護膜PSV1を介して、有効画面領域内に侵入した場合、ゲート線GLに負荷されている電気インピーダンスにより、静電気による電位差がゲート線GL上で生じ、電気的に開放となっている該入力端子IPと該出力端子OPとの間に集中して印加されるためと考える。これにより、例えばITO(インジウム チン オキサイド)膜からなる入力端子IPあるいは出力端子OPが破壊され、駆動用ICを実装することができなくなる。

【0063】このため、入力端子IPを有する入力配線Tgを、ゲート短絡配線SHaと接続せず、すなわち、ゲート短絡配線SHaから電気的に分離する(電気的に浮かせる)ことにより、出力端子OPとゲート短絡配線SHaとの距離が拡大し、電界強度が低減し、静電気スパークの発生による端子の破壊を防止することができる。

【0064】すなわち、ゲート短絡配線SHaとゲート

走査駆動用ICへの各入力配線Tgの端部との最小距離d1を、入力端子IPと出力端子OPとの最小距離d2よりも短かくすることにより、静電気スパークが発生したとしてもd1の箇所で発生させ、d2の箇所で発生を防止する。

【0065】《ゴムクッションGC》図22(a)、(b)はそれぞれ液晶表示モジュールの要部断面図である。

【0066】ゴムクッションGC1は、図22に示すように、表示パネルPNLの基板SUB1の額縁周辺上のフレキシブル基板FPCとモールド成形品である下側ケースMCAとの間に介在される。これにより、フレキシブル基板に圧力を加え固定し、基板SUB1の配線パターンとの接続信頼性の向上を行なう。また、駆動用ICや基板SUB1が下側ケースMCAに接触して機械的破壊を生じることを防止している。

【0067】ゴムクッションGC2は、表示パネルPNLの基板SUB2と導光板GLB上の反射シートLSとの間に介在される。ゴムクッションGC2の弾性を利用して、金属製シールドケースSHDを装置内部方向に押し込むことによりシールドケースSHDの側面に一体に設けた固定用フックが下側ケースMCAの側面に一体に設けた固定用突起に引っかかり、また、シールドケースSHDの側面に一体に設けた固定用爪が折り曲げられ、下側ケースMCAの側面に一体に設けた固定用凹部に挿入されて、各固定用部材がストッパとして機能し、シールドケースSHDと下側ケースMCAとが固定され、モジュール全体が一体となってしっかりと保持され、他の固定用部材が不要である。従って、組立が容易で製造コストを低減できる。また、機械的強度が大きく、耐振動衝撃性が高く、装置の信頼性を向上できる。なお、ゴムクッションGC1、GC2には、片側に粘着材が付いており、フレキシブル基板FPCおよび基板SUB1、SUB2の所定個所に貼られる。

【0068】《ゴムクッションGC1の実装時の静電気対策》図15は、図14のG部の拡大詳細平面図である。

【0069】図22(b)を用いて既に説明したように、液晶表示素子の下面の表示に影響を与えない四方の縁周囲には、薄く細長い形状の弾性体スペーサとしてゴムクッションGC1が設けられている。すなわち、液晶表示素子端部の1枚板部における透明絶縁基板SUB1の下面と、導光板GLBや蛍光管LP((a)図)等を収納・保持するためのモールド成形品である下側ケースMCAの上面との間には、ゴムクッションGC1が介在され、液晶表示素子、下側ケースMCA、金属製シールドケースSHD等の各部材がそれぞれ保持されるようになっている。

【0070】図14に示すような、ドレイン線DLの片側のみが駆動用ICと接続される、いわゆる片側引き出

しのフリップチップ方式の液晶表示素子においては、駆動用ICと接続されない側のドレイン線DLの端部は、基板SUB1の切断線CT1を越え、その外側に形成されたドレイン短絡配線SHdに接続されている。したがって、切断線CT1での基板SUB1切断後も、映像信号線DLは、基板SUB1端部にまで存在する。なお、従来、この駆動用ICが実装されない側の映像信号線DLの端部は透明導電膜d1がむき出し状態で、該端部上には図22(b)に示したように、ゴムクッションGC1が接触している。したがって、ゴムクッションGC1を実装あるいは製品完成後に修理等のため再実装する場合において、ゴムクッションGCを載せたり、あるいは再実装や位置を直すためにはがすときに、ゴムクッションGCの帯電や基板SUB1の電位状態により、静電気が発生し、該液晶表示素子内に侵入し、液晶表示素子の薄膜トランジスタのしきい値電圧がシフトするという不良が発生した。

【0071】このため、図22(b)に示す液晶表示素子端部の1枚板部、すなわち、基板SUB1端部における、ゴムクッションGC1が接触する部分の透明絶縁基板SUB1の面上に存在する映像信号線DLの透明導電膜d1の上に、図15に示すように、保護膜(パッシベーション膜)PSV1が形成されている。保護膜PSV1は表示部の保護膜PSV1と同時に形成し、例えばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で、0.6μm程度の膜厚で形成する。これにより、ゴムクッションGCと映像信号線DLの透明導電膜d1とが直接接しなくなり、かつ、保護膜PSV1による絶縁抵抗が生じるので、ゴムクッションGC実装時に静電気が発生し、映像信号線DLに侵入するのを防止でき、静電破壊を防止できる。なお、切断線CT1の箇所でもカッターを用いて切断するときに、切断線CT1の箇所にも形成されている保護膜PSV1にクラックが発生しやすいが、該保護膜PSV1にクラックが発生しても、保護膜PSV1は、表示領域に形成された保護膜PSV1と分離して形成されているので、表示部の絶縁膜にクラックが進行しない。保護膜PSV1は、基板切断前は、図15に示すように、切断線CT1の外側のドレイン短絡配線SHdの上にまで延在して形成されている。したがって、基板切断後は、保護膜PSV1は、基板SUB1の端部まで存在するので、静電破壊防止に有効であるとともに、映像信号線DLの透明導電膜d1の耐電食性を向上できる。なお、静電破壊防止と耐電食性の向上のためには、保護膜PSV1は切断後の基板SUB端部に存在させるために、カッターによるダイシング誤差約300μmを考慮して、切断線CT1と形成する保護膜PSV1の位置を決める。なお、本例では、保護膜PSV1は、基板SUB1端部一面に形成せず、映像信号線DLの透明導電膜d1のパターンに沿ってそれより少し大きめに形成されている。これにより、基板SUB

1 切断時に切断線CT1の箇所に存在する保護膜PSV1にクラックが発生、進行する率を低くできる。したがって、耐電食性を向上できる。ただし、保護膜PSV1は、端部一面を被覆し、切断部のみ形成しない構成も考えられ、特に本例のパターンに限定されない。なお、保護膜PSV1を設けたのと反対側の映像信号線DLの端部は、図14に示したように、駆動用ICと接続されている。なお、図15中、EPXは基板SUB1、SUB2の接着強度の補強のためのエポキシ樹脂である（図13参照）。切断線CT1から上部基板SUB2までの距離は約1mmである。

【0072】《駆動用ICチップずれ検知用不透明膜パターン》図3は図2の要部（ドレイン入力側コーナー部）の拡大詳細図、図4は図2の要部（ドレイン出力側コーナー部）の拡大詳細図である。

【0073】図2、3、4において、BARは搭載後の駆動用ICの位置ずれ検知用パターンである。すなわち、駆動用ICのバンプBUMPと接続される配線d1および該バンプBUMPの近傍の基板SUB1面上に、該駆動用ICの位置ずれ検知用の不透明膜を含むパターンBARが設けてある。この位置ずれ検知用パターンBARは、図3、4に示されるように、前記《透明絶縁基板SUB1の製造方法》のところで述べたITO膜からなる導電膜d1、Crからなる第2導電膜d2、Al-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる第3導電膜d3、保護膜PSV1から構成されている。すなわち、不透明な膜d2、d3を含む。また、このパターンBARは、配線およびバンプBUMPと等しいピッチで設けられている。なお、透明絶縁基板SUB1面上に実装される駆動用ICの金（Au）等からなるバンプと接続される該基板SUB1面上に形成された配線は、従来、透明導電膜d1単層で形成されている。このため、駆動用ICの実装後、駆動用ICを搭載した側と反対の透明絶縁基板面側から、該配線d1に対する駆動用ICの実装位置ずれを判断するのが困難であったが、本構造では、不透明膜を有するパターンBARを設けたので、駆動用ICの実装後、駆動用ICを搭載した側と反対の透明絶縁基板SUB1面側から、目視により、あるいは顕微鏡を用いて、該配線d1に対する駆動用ICの実装位置ずれを容易に確認できる。したがって、その結果、製造歩留りおよびスループットを向上できる。なお、パターンBARの最上層の保護膜PSV1は、導電膜d2、d3の電食を防止するために設けられている。

【0074】なお、位置ずれ検知用パターンBARは少なくとも1層の不透明膜を含んでいればよく、前記導電膜d2、d3の他、i型非晶質Si膜AS等の色の着いた膜を使用してもよい。

【0075】《複数種の駆動用ICチップに対応》図2に示す透明絶縁基板SUB1では、異なる複数種の駆動

用ICチップが実装できるように予め考慮されて、該駆動用ICの入力および出力バンプが接続される入力および出力端子およびそれらの配線が該基板SUB1上に配置形成されている。図中の符号IC1、IC2は、x方向の幅が異なる2種の駆動用ICが搭載される位置を示す。すなわち、駆動用ICの入力バンプが接続される入力端子IPおよびその配線には、異なる複数種のチップに対応するようダミーの入力端子およびその配線を含ませて設けられている。つまり、チップの種類によって所定の信号あるいは電源が入力されるバンプの配置が異なるが、複数種のチップのバンプ配置に対応できるように入力端子および配線を予め設けておく。また、駆動用ICのバンプが接続される出力配線OLが、該配線伸張方向（図のx方向）の幅が異なる複数種の駆動用ICが実装できるように、それぞれ平行に所定の長さにわたって形成されている。従来では、1種類の透明絶縁基板SUB1に対して、駆動用ICをそれぞれ1種類しか実装できなかった。したがって、駆動用ICチップが入手でなくなった場合やその他の理由で、該チップの種類を変更する場合は、該チップを搭載する該透明絶縁基板の配線レイアウトを変更する必要がある、設計し直さなければならず、製造コストが増加する問題があった。しかし、図2に示す基板SUB1では、異なる複数種のチップが実装できるように、該チップのバンプが接続される配線を基板SUB1上に配置形成したので、複数種のチップに対し、透明絶縁基板SUB1が共用でき、チップを変更する場合も、透明絶縁基板SUB1の変更が不要である。したがって、製造コストを低減できる。

【0076】《駆動用ICと基板SUB1との位置合わせマーク》図2に示す透明絶縁基板SUB1の面上には、駆動用ICが該基板SUB1と重なる領域内、つまり、符号IC1、IC2を付した点線の領域内の、該基板SUB1上に、駆動用ICとの位置合わせマークALDが設けられている。また、駆動用ICの基板SUB1との対向面に、図3に示すように、位置合わせマークALDと対になる位置合わせマークとしてのダミーのバンプBUMPが設けられ、該バンプBUMPは位置合わせマークALDよりも小さく、かつ、基板SUB1上に駆動用ICを搭載したとき、位置合わせマークALDが、該バンプBUMPを囲む形状をしている。位置合わせマークALDは、図3から明らかなように、ITO膜からなる導電膜d1、Crからなる第2導電膜d2、Al-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる第3導電膜d3、保護膜PSV1から構成されている（前記《透明絶縁基板SUB1の製造方法》参照）。第2導電膜d2、第3導電膜d3は不透明膜なので、識別が容易である。また、最上層の保護膜PSV1は、導電膜d2、d3の電食を防止するためのものである。これにより、駆動用ICを位置精度良く、基板SUB1上の配線パターンに電気的に接続できる。

【0077】また、符号ALCは透明絶縁基板SUB1の面上に、フレキシブル基板FPCが該基板SUB1と重なる領域内の、該基板SUB1上に設けた、フレキシブル基板FPCとの位置合わせマークである。なお、フレキシブル基板FPCの基板SUB1との対向面には、位置合わせマークALCと対になる位置合わせマーク（図示省略）が設けられ、該マークは位置合わせマークALCよりも大きく、口の字形で、かつ、基板SUB1上にフレキシブル基板FPCを実装したとき、位置合わせマークALCを、該マークが囲む形状をしている。位置合わせマークALCは、ゲート配線の材料として使用されている不透明なアルミニウムAl上に透明画素電極の材料として使用されている透明なITO膜を被覆させた正方形のパターンである。

【0078】以下、駆動用ICとフレキシブル基板FPCを透明絶縁基板SUB1に搭載する製造工程、その製造フローについて説明する。

【0079】まず、異方性導電膜ACF2（図13参照）を最初に一列に並んだ複数の駆動用IC部分に貼り付ける。例えば、各辺に並んだ複数の駆動用ICに共通して1個の細長い形状に加工したものを貼り付ける。

【0080】次に、駆動用ICをボンディングヘッドの加圧面に真空吸着により保持し、合わせマークALDと重なるはずの2箇所のバンパBUMP（突起電極）の位置を撮像カメラにて、所定の相対位置関係になるように調整する。例えば、丁度片側のバンパBUMPの中心が撮像面の中心になるようにそれぞれ位置合わせする。

【0081】次に、透明絶縁基板SUB1上の2箇所の合わせマークALDの位置を撮像カメラにて、所定の相対位置関係になるように調整する。例えば、合わせマークALDの中心が丁度撮像面の中心になるように位置合わせする。

【0082】したがって、2箇所のバンパBUMPと2箇所の合わせマークALDの相対位置が決定されたことになる。

【0083】次に、予め記憶されている合わせマークALDとバンパBUMPとの相対位置座標を基に、XYステージを移動し、合わせマークALDとバンパBUMPとを撮像面FACEの上方に配置し、位置検出を行なう。通常は、XYステージの機械的移動精度は、ボンディング精度より、はるかに良いため、位置補正はこの工程では、行なわない。

【0084】次に、駆動用IC毎に仮付けを行なう。

【0085】次に、仮付けした状態で、上記バンパBUMPと合わせマークALDとの合わせの再確認を行なう。この工程で、位置不良と判断された場合は、まだ、仮付けした状態のため、再度、XYステージを微動し、位置補正を行なう。

【0086】次に、ボンディングヘッドをさらに下降させ、複数の駆動用ICを通常は1辺に並んだ複数の駆動

用ICを透明絶縁基板SUB1上に一括して加熱圧着し、駆動用ICのバンパBUMPと透明絶縁基板SUB1の配線パターンDTM（GTM）、Td（Tg）とを異方性導電膜ACF2により、電気的に接続する。

【0087】次に、ボンディングヘッドHEADを上昇させ、駆動用ICの搭載された液晶表示パネルを一旦ボンディング工程から検査工程に移動する。

【0088】次に、検査工程では、図示していない検査用パッドからバンパBUMPの接続状態や駆動用ICの動作状態をテストする。何らかの不良が確認された場合は、可能ならば、リペア作業を行なう。

【0089】次に、異方性導電膜ACF1（図13参照）を上記複数の駆動用ICへの入力配線パターン部分に貼り付ける。例えば、各辺に並んだ複数の駆動用ICに共通して1個の細長い形状に加工したものを貼り付ける。

【0090】次に、フレキシブル基板FPCの両端に開けた開口孔を固定ピンに差し込んで、液晶パネルPNLとフレキシブル基板FPCを粗に固定しておく。さらに、合わせ精度を向上させるため、フレキシブル基板FPCに設けた合わせマーク（図示省略）と合わせマークALCとを撮像面の上方にて、位置合わせ、位置補正を行なう。

【0091】次に、仮付けした後、再度、位置確認する。

【0092】最後に、ボンディングヘッドをさらに下降させ、フレキシブル基板FPCを透明絶縁基板SUB1上に加熱圧着し、フレキシブル基板FPCと透明絶縁基板SUB1の配線パターンTd（Tg）とを異方性導電膜ACF1により、電気的に接続する。

【0093】《ドレイン出力側およびゲート入力側の端子間の距離とバンパBUMP間の距離との関係》ドレイン出力側、すなわち、ドレイン駆動用ICからの出力端子DTMにおいて、図4に示すように、端子DTM間の距離 $L_2$ よりも、該端子DTMに接続されるバンパBUMP間の距離 $L_1$ が小さくなっている。例えば、 $L_1$ は $20\mu\text{m}$ 、 $L_2$ は $30\mu\text{m}$ である。したがって、端子DTMの幅よりバンパBUMPの幅が広いので、駆動用ICの位置ずれにより、端子DTMに対するバンパBUMPの位置ずれが生じても、バンパBUMPと端子DTMとの接触面積が確保されるので、抵抗を低くできる。また、端子DTM間の距離 $L_2$ を大きくとることができ、電食が生じやすい透明導電膜d1からなる端子DTMの電食を抑制できる。なお、バンパBUMPどうしは接近しているが、バンパBUMPは電食が生じにくい金からできているので、電食の問題はない。最近、液晶表示素子の高精細化が進み、また、液晶表示モジュールの小型化のため、本例のように、ドレイン駆動用ICをそれぞれ液晶表示素子の片側のみに配置する片側引き出しの場合は、駆動用ICへの入力配線のピッチが非常に縮小化

されているので、端子の電食の問題は無視できず、本構成は非常に有効である。このように、駆動用ICと透明絶縁基板SUB1上の配線DTM間の低抵抗化と、端子DTMの耐電食性の向上を両立できる。

【0094】また、図10に示すように、ゲート入力側、すなわち、ゲート走査駆動用ICへの入力端子Tgにおいて、端子Tg間の距離 $L_4$ よりも、該端子Tgに接続されるバンプBUMP間の距離 $L_3$ が小さくなっている。例えば、 $L_3$ は $280\mu\text{m}$ 、 $L_4$ は $300\mu\text{m}$ である。したがって、上述のドレイン入力側と同様の理由により、駆動用ICと透明絶縁基板SUB1上の配線Tg間の低抵抗化と、端子Tgの耐電食性の向上を両立できる。大きい電圧がかかるため、電食が発生しやすいゲート入力側の端子Tgとドレイン出力側の端子DTMにこのような構成をとって耐電食性の向上を図っている。

【0095】なお、図10において、端子Tg間に例示される2個のバンプBUMPは、駆動用ICチップの基板SUB1からののがれ防止のために設けたダミーバンプであり、該ダミーバンプも異方性導電膜ACF2を介して基板SUB1上に接続される。また、バンプBUMPが接続される部分の近傍の端子Tg上には、低抵抗導電膜d2、d3が形成され、この近傍で端子TgとバンプBUMPとのコンタクトをとるレイアウトになっており、低抵抗化が図られている。

【0096】《ゲート端子GTM間またはドレイン端子DTM間の抵抗要素ED0、ED1、ED2による静電気対策》図5は図4、図15のB-B切断線における断面図である。

【0097】図2に示す駆動用ICの出力側の配線部分であるドレイン端子DTM間またはゲート端子GTM間には、図4、図15、図8に示すように、絶縁膜GI、非晶質半導体膜AS、半導体膜d0、導電膜d2、d3からなる抵抗要素ED0～2が接続されている。また、その上は保護膜PSV1で覆われている。なお、抵抗要素ED0～2の絶縁膜GIは薄膜トランジスタTFTのゲート絶縁膜の一部の絶縁膜GIと同一層で同時に形成される(図18(G)の左側の図参照)。同様に、半導体膜ASは薄膜トランジスタTFTのチャネル形成用i型非晶質Si膜と、半導体膜d0はN+型非晶質Si膜d0と、導電膜d2、d3はソース、ドレイン電極SD1、SD2形成用の導電膜d2、d3と同一層で同時に形成される。なお、図4において、符号BUMPは、ドレイン端子DTMにボンディングされる駆動用ICのバンプ(図13の符号BUMP)である。

【0098】これにより、基板SUB1上に、駆動用IC毎に、ゲート線GLまたはドレイン線DLと接続されたゲート端子GTMまたはドレイン端子DTM間は、抵抗要素ED0～2により接続されている。したがって、スイッチング素子として形成した薄膜トランジスタのゲート・ドレイン間の抵抗よりも、抵抗体の負荷を小

さくすることができ、侵入した静電気が薄膜トランジスタを破壊することなく、速やかに分散され、基板SUB1面上の配線形成後から駆動用ICを搭載する前までの工程において、静電気による影響を抑制できる。さらに、抵抗要素ED0～2を光導電性のある半導体膜ASを含んで構成し、かつ、駆動用ICの近傍に形成することにより、静電破壊防止のため、より抵抗を減少させておきたいときは抵抗要素ED0～2に必要に応じて光を照射して抵抗を減少させ、駆動用IC搭載後の検査時や液晶表示素子完成後において抵抗減少を解除したいときは、駆動用ICの搭載により抵抗要素ED0～2がシリコン樹脂SIL等で覆われ、光が照射されないことで、抵抗減少が解除され、液晶表示素子の正常な動作を復帰できる。

【0099】《TFT基板製造とフレキシブル基板実装までの製造フロー》つぎに、薄膜トランジスタを形成する側の基板(以下、TFT基板と略称する)SUB1の製造フローについて説明する。

【0100】1. まず、図16～図18を参照して前記《透明絶縁基板SUB1の製造方法》のところで説明したように、TFT基板SUB1を製造する(保護膜PSV1まで)。

【0101】2. つぎに、保護膜(図18(G)の符号PSV1)の上に、配向膜を印刷した後、この配向膜にラビング処理を施す。

【0102】3. つぎに、透明絶縁基板SUB1、SUB2のいずれか一方の基板面の縁周囲部にシール材を印刷し、かつ、いずれか一方の基板面に両基板の間隔を規定する小さな球状のビーズ等からなる多数個のスペーサを散布した後、2枚の基板SUB1、SUB2を重ね合わせてシール材により貼り付け組み立てる。その後、基板SUB1の周辺部を切断する。

【0103】4. つぎに、シール材で囲まれた領域の両基板SUB1、SUB2間に、シール材を一部設けてない液晶封入口から液晶を封入した後、封入口を樹脂等からなる封止材で封止する。

【0104】5. つぎに、検査用プローブを用いて点灯検査を行い、ゲート線、ドレイン線の断線、短絡等の不良を有するものについては修理を行なう。

【0105】6. 点灯検査の結果、良品と判断されたものには異方性導電膜(図13の符号ACF2)を貼り付ける。

【0106】7. つぎに、透明絶縁基板SUB1上に、異方性導電膜を介して駆動用ICを仮付けした後、加熱圧着し、搭載する(図1、図13参照)。

【0107】8. つぎに、駆動用ICを搭載した状態で、検査用プローブを用いて点灯検査を行い、不良の駆動用ICは交換して再搭載する。

【0108】9. 点灯検査の結果、良品と判断されたものには異方性導電膜(図13の符号ACF1)を貼り付

ける。

【0109】10. つぎに、透明絶縁基板SUB1上に、異方性導電膜を介してフレキシブル基板(図13の符号FPC)を実装する。

【0110】《駆動用ICへの入力配線Tg》図10はゲート走査駆動用ICへの入力配線Tgの拡大平面図である。

【0111】駆動用ICへの入力配線Tgは、図10に示すように、透明絶縁基板SUB1上に、下層から、ゲート電極・ゲート線と同一工程で形成され、A1-Ta、A1-Ti-Ta、A1-Pd等の低抵抗金属からなる第1導電膜g1、表示部の透明画素電極と同一工程で形成され、ITO(インジウム チン オキサイド)膜からなる導電膜d1、薄膜トランジスタのソース・ドレイン電極と同一工程で形成され、Cr等の低抵抗金属からなる第2導電膜d2、A1-Pd、A1-Si、A1-Ta、A1-Ti-Ta等の低抵抗金属からなる第3導電膜d3から構成され、その上に電食防止のため、SiN等からなる保護膜(パッシベーション膜)PSV1が設けられている。

【0112】図10において、駆動用ICが搭載される位置を符号ICを付した破線で示す。なお、符号BPは駆動用ICのバンパBUMP(図13参照)がボンディングされるバンパ接続部である。また、外部から駆動用ICへ信号、電源電圧を供給するフレキシブル基板(図13の符号FPC)が接続、実装される位置(一端部)を符号FPCを付した破線で示す。入力配線Tgのフレキシブル基板の出力端子と接続される部分は、図10の破線FPCの左側(表示部と反対側)の部分である。

【0113】フレキシブル基板の出力端子と接続される入力配線Tgの部分において、第2導電膜d2と第3導電膜d3とは、図10に示すように、いわゆる、梯子形に形成されている。また、保護膜PSV1も梯子形の第2、第3導電膜d2、d3に沿ってそれより少し大きめに梯子形に形成されている。すなわち、表面に露出した梯子形の保護膜PSV1の梯子の間は、透明導電膜d1が露出しており、この露出した透明導電膜d1の一部は面積が広く形成されており、この広い面積の部分を検査用端子(パッド)とし、また、この露出した全ての透明導電膜d1とフレキシブル基板の出力端子とが直接接続される。図10から明らかなように、入力配線Tgを構成する各導電膜の寸法については、下層の第1導電膜g1が一番小さい寸法に、すなわち、一番内側に形成され、つぎに、上層の第2、第3導電膜d2、d3が2番目の寸法に形成され(梯子の間は除く)、透明導電膜d1が一番大きい寸法に、すなわち、外側に形成されている。図10のバンパ接続部BPは表面が露出した透明導電膜d1単層で構成されている。

【0114】なお、第1導電膜g1と第2導電膜d2とはスルーホールTH1、TH2、TH3を介して接続さ

れている。

【0115】また、図10において、符号Pは端子(入力配線Tg)ピッチ(約0.8~1.3mm)、符号Gは端子ギャップ(間隔)(約0.6~1.1mm)である。

【0116】ここでは、フレキシブル基板と駆動用ICとを接続する入力配線Tgを、低抵抗金属からなる第1導電膜g1、第2、第3導電膜d2、d3を含んで構成し、かつ、低抵抗金属とは接触抵抗の高い透明導電膜d1を介在する第1導電膜g1と第2導電膜d2とを、スルーホールTH1~3を介して接続したので、入力配線Tgを低抵抗化でき、フレキシブル基板から駆動用IC間の低抵抗化を実現できる。

【0117】また、第2導電膜d2と第3導電膜d3とを梯子形に形成し、該梯子の間に、安定性が高く、汚染、酸化されにくく、電食の生じにくい透明導電膜d1が露出され、この露出した広い面積を有する透明導電膜d1の部分で、フレキシブル基板の出力端子が接続されるので、フレキシブル基板の端子との接触抵抗が低減し、低抵抗化を実現できるとともに、フレキシブル基板の縦方向あるいは横方向の位置ずれが生じたときでも、安定した抵抗を得ることができる。

【0118】また、電食が進行しやすい低抵抗化のための梯子形の第2、第3導電膜d2、d3の上は、電食防止のため、保護膜PSV1で覆い、フレキシブル基板の端子と接続する部分は、安定性が高く、汚染、酸化されにくく、電食の生じにくい透明導電膜d1を露出して構成したので、フレキシブル基板と駆動用ICとを接続する入力配線Tgの耐電食性を向上できる。その結果、製品の信頼性を向上できる。

【0119】さらに、フレキシブル基板の出力端子と接続される入力配線Tgの部分の第2、第3導電膜d2、d3は一部を除去して梯子形に形成し、梯子の間は透明導電膜d1を露出させたので、前記《製造フロー》の⑧で説明したように、駆動用IC搭載後、フレキシブル基板実装前に、透明導電膜d1の露出部分に検査用プローブを当て、点灯検査を行い、駆動用ICの良否の判断を行なうことができる。

【0120】なお、ドレイン側の入力配線(図2、図14の符号Td)の構成も、図10に示した入力配線Tgと同様に形成してある。ただし、前述のように、入力配線Tdとドレイン短絡配線SHdとは接続されている。

【0121】また、図10に示した梯子形を櫛形に形成してもよい。ここで、第2、第3導電膜d2、d3からなる梯子の支持部は1端子当り2本であり、隣接する入力配線Tdについて大きい面積を占める第2、第3導電膜d2、d3が隣接するのに対し、櫛形にした場合は、櫛の支持部は1端子当り1本であるので、櫛形の方が耐電食性が高い利点がある。また、梯子形や櫛形の形状に限らず、透明導電膜d1の一部を除いて第2、第3導電

膜d2、d3で覆う構成にすれば、上記効果が得られる。また、梯子形や櫛形のこのような構成は、そのうちの一部の端子に適用してもよい。また、第1導電膜g1、第2、第3導電膜d2、d3の前述の材料はあくまで例示であり、また、第2、第3導電膜d2、d3を1層のみで構成してもよい。また、第1導電膜g1を設けなくてもよい。

【0122】図12は、折り曲げ可能な多層フレキシブル基板FPCを液晶表示素子に折り曲げ実装する方法を示す斜視図である。

【0123】フレキシブル基板FPCは多層構造、折り曲げ可能で、図に示すように、液晶表示素子の下部透明絶縁基板の端部上に、異方性導電膜(図13の符号ACF1参照)を介して電氣的、機械的に接続され、フレキシブル基板FPCは矢印方向に折り曲げて実装される。

【0124】《ゲート走査駆動用ICへの入力端子Tgの配列による電食対策》図7はゲート走査駆動用ICの搭載部の透明絶縁基板SUB1の要部平面図である。

【0125】図中、ゲート走査駆動用ICへの入力端子Tgのうち、Tg0~Tg15の入力を示すと、図の上からTg0はダミーパターン、Tg1は+10Vの直流電源電圧、Tg2は-12Vの直流電源電圧、Tg3は-14Vの直流電源電圧、Tg4は+5Vの直流電源電圧、Tg5、Tg6、Tg7は+5~10Vで電圧が変化するクロック、Tg8は+5Vの直流電源電圧、Tg9は+10Vの直流電源電圧、Tg10は+5~10Vで電圧が変化するクロック、Tg11は+5Vの直流電源電圧、Tg12は-14Vの直流電源電圧、Tg13は-12Vの直流電源電圧、Tg14は-10Vの直流電源電圧、Tg15はダミーパターンである。

【0126】図7に示す構成では、ゲート走査駆動用ICのバンプと接続される透明絶縁基板SUB1面上に設けた入力端子Tg0~Tg15を、端子Tg間の直流の電界強度が低くなるように、すなわち、端子Tg間の電位差が小さくなるように考慮して配列形成してある。本例では、Tg1とTg2との電位差は22V、Tg3とTg4との電位差は19V、Tg8とTg9との電位差は5V、Tg9とTg10との電位差は5V、Tg11とTg12との電位差は19Vと、直流の電位差が大きく、これらの端子間の間隔(ギャップ)が広く取ってある。これにより、端子Tg間で直流の電界強度が低減するので、電食が発生しにくくなり、耐電食性を向上できる。本例では、端子Tg1を除いて、概ね端子Tgを直流電圧の低→高→低の順に配列した。しかし、ゲートの出力電圧は、図21に示すように、ほとんどの期間がオフ状態であるため、約-14~-9Vの電圧が印加される。このため、より好ましい電圧配列としては、両端の端子Tg1およびTg14の電圧は、駆動用ICの短辺下のゲート線GLとの電食を防止するため、-12Vあるいは-14Vの最低電圧の直流電源電圧に設定し、以

下駆動用ICの長辺の中央に向かい、例えば-12V→-10V→+5V→+10V、-14V→-12V→+5V→クロックとし、直流電圧を低→高→低の順に配列するとよい。

【0127】また、低→高→低の順の場合に比較すると、信頼性の点で若干不利であるが、直流電圧の低い順、または高い順、あるいは高→低→高の順に配列してもよい。この場合は、前述したように、端子間の間隔(ギャップ)を必要に応じて広く取る必要がある。最近、液晶表示素子の高精細化が進み、また、液晶表示モジュールの小型化のため、ゲート走査あるいはドレイン駆動用ICをそれぞれ液晶表示素子の片側のみに配置する片側引き出し構造の採用により、駆動用ICへの入力端子のピッチが縮小化する傾向にあるので、端子の電食の問題は無視できないレベルとなっている。例えば、ゲート走査駆動用IC下のバンプと接続する入力端子IP間の最小ピッチは約100 $\mu$ m、最小間隔は約30 $\mu$ mとなっており、仮に、この端子間に約20Vの電圧がかかるとすると、該端子間の電界強度は約0.67V/ $\mu$ mとなり、非常に電食が発生しやすい。しかし、本例では、例えば端子Tg1とTg2との間隔を約0.66m以上とすることにより、端子間の電界強度を約0.03~0.02V/ $\mu$ mと低減でき、耐電食性を向上できる。

【0128】なお、フレキシブル基板との接続側の端子Tg部分は、水分等の外気にさらされる度合が入力端子IPに比べ、さらに高いため、より信頼性の高い設計が必要である。つまり、図10に示す入力端子TgのピッチPおよび端子間の間隔Gは、14端子すべてに均等なピッチPおよび間隔Gを仮定しても、該端子間の電界強度は約0.03V/ $\mu$ m以下となるが、さらに、電界強度を下げる必要がある。このため、本例では、さらにこのフレキシブル基板との接続側の端子Tg部分も不均等ピッチにし、電界強度は約0.02V/ $\mu$ m以下にしている。

【0129】図11は別の例の、ゲート走査駆動用ICの搭載部の透明絶縁基板SUB1の要部平面図である。

【0130】図11に示す基板SUB1上の端子Tgについても、上述のような耐電食性を考慮した配列になっている。

【0131】《ゲート走査駆動用ICの3方向引き出しの出力配線GTM》図7、図11に示すように、ゲート走査駆動用ICの出力バンプBUMPと有効表示部ARのゲート線GLとを接続する出力配線GTMは、該ICの1長辺および2短辺の3辺から引き出されている

(「3方向引き出し」と称される)。また、出力配線GTMは、そのIC近傍に設けた検査用パッドTEST、直線および斜め配線を介して有効表示部ARのゲート線GLと接続されている。すなわち、ゲート走査駆動用ICの出力バンプBUMPの間隔よりも、有効表示部AR



のゲート線GLの間隔の方が広いので、出力バンプBUMPと有効表示部ARとの間に、有効表示部ARに向かって広がる斜め配線を介して接続される。

【0132】検査用パッドTESTは、ゲート断線検査と点灯検査に使用され、ゲート断線検査用パッドと点灯検査用パッドとを共用している。断線検査は、ゲート線GL形成後、各ゲート線GLが共通短絡された方のゲート短絡配線SHg(図14参照)の側に、一方の検査用プローブを当接し、各ゲート線GLのそれぞれの検査用パッドTESTに他方の検査用プローブを順次当接することによって、出力配線GTMを含めたゲート線GLの断線の有無を検査する。また、点灯検査は、液晶を両基板間に封止した液晶セルの状態で、検査用パッドTESTに検査用プローブを一括して当接し、点灯させることにより、出力配線を含めたゲート線GL、ドレイン線DLの断線、短絡等の表示不良を検査する。

【0133】図11に示す構成では、ゲート走査駆動用ICの3辺から引き出された各出力配線GTMの検査用パッドは点灯検査用パッドTESTAとゲート断線検査用パッドTESTBとからなる。検査用プローブは、出力配線GTMの検査用パッドTESTに対応して複数本が千鳥配置されてなり、検査用パッドTESTA、TESTBにそれぞれ一括して当接し、ゲート断線検査および点灯検査する。点灯検査は、保護膜PSV1形成後に行なうため、検査用パッドTESTA上に形成された保護膜PSV1は、点灯検査用プローブを当接するため、千鳥配置状に開口されている。図11の検査用パッドTESTA、TESTBは、すべて該ICの短辺と平行な方向に、長辺方向に一行に揃えて配列形成され、その後、斜め配線を介して有効表示部ARと接続されている。このため、出力配線の斜め配線領域が大きい。このため、図7に示す構成では、ゲート走査駆動用ICの2短辺から引き出された出力配線GTMのゲート断線検査用と点灯検査用とを共用させた検査用パッドTESTを、有効表示部ARと反対側、すなわち、図の左側にシフトさせている。さらに具体的に言うと、該ICの2短辺から出力配線GTMが該各短辺と垂直に引き出されて、該各短辺と平行に配置された検査用パッドTESTと接続され、該検査用パッドTESTから斜め配線が有効表示部ARに向かって広がって伸びている。これにより、斜め配線の角度 $\theta 1$ が図11の $\theta 2$ よりも大きくとれ、斜め配線領域を縮小できる。または出力配線GTMの間隔LL1を図11のLL2よりも大きくできる。さらに、上記のように断線検査用パッドと点灯検査用パッドとを共用化することにより、斜め配線が長くとれ、したがって、斜め配線領域を縮小でき、または出力配線GTMの間隔を大きくできる。その結果、液晶表示素子および液晶表示モジュールの外形寸法縮小、有効表示部領域の拡大に有効である。また、出力配線GTMの間隔を大きくできるので、耐電食性を向上できる。

【0134】《ドレイン側出力配線》図6(A)は、ドレイン側の出力配線の一例を示す平面図である。

【0135】ドレイン側の出力配線には、ドレイン線(映像信号線)DLに印加するドレイン電圧として、1水平期間の約 $26\mu\text{sec}$ 毎に約0~3Vの間で、レベル変化する電圧が加わる。例えば、有効表示部AR内のドレイン線DLの抵抗値Rは約8.8k $\Omega$ で、また、液晶表示パネルとして、ドレイン線DLに負荷される容量の総合値Cは約55pFである。このため、RC定数による約0.4 $\mu\text{sec}$ の波形歪を生じる。さらに、上記したように、幅 $30\mu\text{m}$ を仮定しても、抵抗差1k $\Omega$ からの波形歪増加分は、約0.1 $\mu\text{sec}$ であり、この程度のドレイン波形の立上り遅れは、ゲート波形の立上りを適当な関係でシフトさせ、遅らせる手段で、表示への悪影響をほぼ防ぐこともできる。一方、ゲート波形の立上り歪の量は、そのまま、書き込み時間の減少につながる。従って、ゲート側に比べ、ドレイン側の出力配線には、比較的配線抵抗のバラツキに裕度をとり、信頼性を重視した配線方法を採用することにした。

【0136】まず、本例では、シール部SLから有効表示部(有効画素エリア)ARまでの距離は約2.2mmであるが、この間の配線抵抗は、低抵抗材料からなる配線層d2、d3を使用し、特性上抵抗を無視できる値となっている。すなわち、例えば、配線層d3の膜厚を4000Åとすると、Al-Pdでは、抵抗率0.1 $\Omega/\square$ 程度、Al-Ta-Tiでは、抵抗率0.2 $\Omega/\square$ 程度、Al-Taでは、抵抗率0.5 $\Omega/\square$ 程度であるため、配線幅 $30\mu\text{m}$ を仮定しても、50 $\Omega$ 以下となる。

【0137】なお、図6(B)は、図6(A)のF-F切断線における断面図であるが、有効表示部ARのドレイン線DLと出力配線の繋ぎ部分は、N型非晶質Si膜d0、I型非晶質Si膜AS、窒化Si膜GIを透明導電膜d1との間に介在させ、テーパ状の断面形状とすることで、直接接続させた場合の透明導電膜d1の段差による出力配線d2、d3の断線を防止している。

【0138】次に、シール部の外側では、信頼性上比較的安定な透明導電膜d1のみを使用して配線する。

【0139】透明導電膜ITOによる配線は、アルミニウムAl材料層を含む低抵抗配線に比べ、電気分解しにくいことが実験で分かっている。例えば、加速実験によると、保護膜PSV1無しで、2電極端子間を特定の距離離し、純水を滴下し、電源周波数15.6kHz、4Vピーク電圧の交流を印加した場合において、透明導電膜ITOによる配線では、90分以上問題無く、電食が発生しなかったが、アルミニウムAl材料層を含む配線を透明導電膜ITO配線の上に形成した2層配線では、50分経過後、電食が生じた。

【0140】本例では、駆動用ICのバンプBUMP位置の関係で、出力配線を駆動用ICの3方向から延在させている。



【0141】さらに、上記透明導電膜ITOによる配線は、保護膜PSV1で被覆することで、耐電食性を向上させている。

【0142】さらに、本例では、検査用パッドTESTは、有効表示部ARに対し、対向する位置で、かつ、シール部SL内側に設け、保護膜PSV1に孔を開ける。このため、最上層が透明導電膜d1となっているため、検査用パッドTESTにプローバ針が接触しても、金属フレークが発生せず、配線間のショート不良や検査用パッドTESTからの断線が生じることは無い。

【0143】《ゲート側出力配線》次に、図9はゲート側の出力配線の一例を示す平面図である。

【0144】ゲート側の出力配線には、例えば、ゲート線GLに印加するゲート電圧として、1水平期間の約26 $\mu$ secの間は、ゲートオン時のパルスとして、約10Vの電圧を加え、残りのゲートオフ時の間(約16msec)は、ゲートオフ電圧(約-14~-9V)を加える。

【0145】しかし、有効表示部AR内のゲート線GLの抵抗値Rは例えば約12k $\Omega$ で、また、液晶表示パネルとして、ゲート線GLに負荷される容量の総合値Cは約270pFである。このため、RC定数による約3.2 $\mu$ secの波形歪を生じる。このゲート波形の立上り歪の量は、そのまま、書き込み時間の減少につながる。従って、ゲート側では、配線抵抗のバラツキを小さくするだけでなく、出力配線抵抗自体を小さくする必要がある。

【0146】本例では、できる限り、アルミニウムを含むゲート配線層g1をシールSL外側まで延長し、抵抗を下げ、さらに、駆動用IC周辺でも、アルミニウムを含むゲート配線層g1を透明導電膜d1の下に配置し、スルーホールTHにて、ドレイン配線層d2、d3とゲート配線層g1とを接続させ、抵抗を下げる。

【0147】D-D出力配線部で、バンパBUMPから有効表示部ARまでの距離は約5.5mm、B-B出力配線部で、約10mmであるが、この間の配線抵抗は、図9に示す様に、低抵抗材料である配線層g1、d2、d3を使用し、特性上抵抗を無視できる値となっている。

【0148】駆動用IC周辺の長辺側の出力配線幅は、約60 $\mu$ m、短辺側の出力配線幅は、約75 $\mu$ mとした。なお、陽極化成されるのは、陽極化成ラインAOの右側であり、左側は、Al-Ta、Al-Ta-Ti等のアルミニウムを含むゲート配線層g1が存在する。このため、この部分の配線は10~15 $\mu$ m程度の細線化を行ない、ホイスカの発生する確立を減少させている。

【0149】さらに、本例では、検査用パッドTESTは、アルミニウムを含むゲート配線層g1の上層を透明導電膜d1で覆い、検査用パッドTESTにプローバ針が接触しても、金属フレークが発生せず、配線間のショ

ート不良や検査用パッドTESTからの断線が生じることは無い。

【0150】なお、本例の構成の配線方法は、高密度配線には適するが、電食という信頼性に対しては、アルミニウムを含む配線の上を保護膜PSV1で被覆することは、前例同様必要であるが、さらに、用途的に高信頼性を要求する場合は、シリコン樹脂SILにて、多重に保護することも必要となる。

【0151】《液晶表示素子の1枚板部の面積縮小》液晶表示素子およびこれを内蔵する液晶表示モジュールの外形寸法の縮小と、有効表示部領域の拡大のため、図13に示す2枚の下部透明絶縁基板SUB1および上部透明絶縁基板SUB2を重ね合わせて成るフリップチップ方式の液晶表示素子では、ゲート走査駆動あるいはドレイン駆動用ICが実装される下部基板SUB1の1枚板部の面積を減らすため、駆動用ICチップをできる限り上部基板SUB2に近付け、かつ、1枚板部の幅を縮小する必要がある。

【0152】このため、本例では、駆動用ICの実装、該駆動用ICチップの不良や位置ずれが生じた場合の交換、再実装、および駆動用IC実装後でフレキシブル基板を実装する前の点灯検査等を十分考慮した結果、図13において、下部基板SUB1の1枚板部の幅(すなわち、下部基板SUB1の1枚板部の端部から上部基板SUB2の端部までの距離)DI(寸法DI1~DI4の合計)が5.5mm以下、駆動用ICの幅DI3が2.0mm以下、上部基板SUB2の端部から駆動用ICまでの距離DI4が0.9mm以上、フレキシブル基板FPCの下部基板SUB1面上に載置される部分の長さDI1が1.5mm以上、下部基板SUB1面上に載置された方のフレキシブル基板FPCの端部と駆動用ICまでの距離DI2が0.5mm以上とした。より詳細には、例えば、ゲート走査駆動用ICの搭載側では、ICの幅DI3が1.84mm、1枚板部の幅DIが5.34mm、ドレイン駆動用ICの搭載側では、ICの幅DI3が2.0mm、1枚板部の幅DIが5.48mmである。また、下部基板SUB1の1枚板部の端部の上面および側面が0.25mmずつ角がコーナーカットされている(C0.25)。

【0153】以下、各寸法DI、DI1~DI4の根拠について述べるが、まず、上部基板SUB2の端部から駆動用ICまでの距離DI4が0.9mm以上という寸法について説明する。前述のように、異方性導電膜ACF2を介して、ICチップを基板SUB1面上に実装する際、使用するボンディングヘッドは該チップの圧着と加熱を行なうため、チップよりも大きな面積が必要であり、例えば幅2.7~3mm、長さ20mmのものを使用する。駆動用ICチップの高さよりも上部基板SUB2の高さの方が高いので(例えばICの厚さが0.55mm、基板SUB2の厚さ0.7mm)、駆動用ICチ

チップの位置が上部基板SUB 2に近過ぎると、チップの実装時、ボンディングヘッドが上部基板SUB 2の上面に当たって実装できなくなる。なお、実装したチップが不良品であった場合のチップの交換、あるいはチップに実装位置ずれが生じた場合の再実装の際も、チップを外すときと実装するとき、ボンディングヘッドを使用する。これらから、この寸法DI 4はチップのダイシング誤差(精度)、チップの圧着ヘッドの突出分誤差が考慮されている。すなわち、駆動用ICチップのダイシング誤差(0.3mm)+圧着ヘッドの突出分誤差(0.6mm)=0.9mmである。なお、チップの実装位置誤差は±10μmと小さいので考慮しない。

【0154】また、フレキシブル基板FPCの下部基板SUB 1面上に載置される部分の長さDI 1が1.5mm以上という寸法については、透明ガラス基板SUB 1の切断誤差(0.3mm)+透明ガラス基板SUB 1のコーナーカット分(0.25mm)+フレキシブル基板FPCの接続強度を考慮した有効圧着幅(0.95mm)=1.5mmである。

【0155】また、フレキシブル基板FPCの端部と駆動用ICまでの距離DI 2が0.5mm以上という寸法については、駆動用ICチップのダイシング誤差(0.3mm)+フレキシブル基板FPCのベースフィルムBFIの外形寸法誤差(0.2mm)=0.5mmである。

【0156】上記のように各寸法DI、DI 1~DI 4を設定することにより、駆動用ICチップの位置をできる限り上部基板SUB 2に近付け、かつ、下部基板SUB 1の1枚板部の幅を縮小することができ、駆動用ICが実装される下部基板SUB 1の1枚板部の面積を減らすことができる。したがって、液晶表示素子および液晶表示モジュールの外形寸法の縮小と有効表示領域の拡大を図ることができる。

【0157】《液晶表示モジュールMDLを実装した情報機器》図23は、液晶表示モジュールMDLを実装したノートブック型のパソコンあるいはワープロの斜視図である。

【0158】駆動ICの液晶パネルPNL上へのCOG実装と外周部のドレインおよびゲートドライバ用周辺回路としての多層フレキシブル基板に折り曲げ実装を採用することで、従来に比べ大幅に外形サイズ縮小ができる。本例では、片側実装されたドレインドライバ用周辺回路を情報機器のヒンジ上方の表示部の上側に配置できるため、コンパクトな実装が可能となった。

【0159】情報機器からの信号は、まず、図では、左側のインターフェイス基板PCBのほぼ中央に位置するコネクタから表示制御集積回路素子(TCON)へ行き、ここでデータ変換された表示データが、ドレインドライバ用周辺回路へ流れる。このように、フリップチップ方式と多層フレキシブル基板とを使用することで、情

報機器の横幅の外形の制約が解消でき、小型で低消費電力の情報機器を提供できた。

【0160】以上本発明を実施例に基づいて具体的に説明したが、本発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0161】

【発明の効果】以上説明したように、本発明によれば、駆動用ICのバンプと端子間の抵抗を低減できる。また、端子の電食を抑制でき、製品の信頼性を向上できる。

【図面の簡単な説明】

【図1】液晶表示素子の透明絶縁基板SUB 1上に駆動用ICを搭載した様子を示す平面図である。

【図2】透明絶縁基板SUB 1のドレイン駆動用ICの搭載部周辺と、該基板の切断線CT 1付近の要部平面図である。

【図3】図2の要部(ドレイン入力側コーナー部)の拡大詳細図である。

【図4】図2の要部(ドレイン出力側コーナー部)の拡大詳細図である。

【図5】図4、図15のB-B切断線における断面図である。

【図6】(A)はドレイン側の出力配線の一例を示す平面図、(B)は(A)のF-F切断線における断面図である。

【図7】ゲート走査駆動用ICの搭載部の透明絶縁基板SUB 1の要部平面図である。

【図8】ゲート走査駆動用IC搭載部の端部の拡大詳細平面図である。

【図9】ゲート側の出力配線の一例を示す平面図である。

【図10】ゲート走査駆動用ICへの入力配線Tgの拡大平面図である。

【図11】ゲート走査駆動用ICの搭載部の図7とは他の例の透明絶縁基板SUB 1の要部平面図である。

【図12】折り曲げ可能な多層フレキシブル基板FPCを液晶表示素子に折り曲げ実装する方法を示す斜視図である。

【図13】図1のA-A切断線における断面図である。

【図14】切断線CT 1における切断前の、表面加工する過程における下部透明絶縁基板SUB 1の全体平面図である。

【図15】図14のF部の拡大詳細平面図である。

【図16】基板SUB 1側の工程A~Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図17】基板SUB 1側の工程D~Eの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図18】基板SUB1側の工程F～Gの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図19】液晶表示パネルとその周辺に配置された回路を示すブロック図である。

【図20】表示制御装置からゲートおよびドレインドライバへの表示用データとクロック信号の流れを示す図である。

【図21】TFT液晶表示モジュールにおける、コモン電極に印加されるコモン電圧、ドレイン電極に印加されるドレイン電圧、ゲート電極に印加されるゲート電圧の

レベルおよびその波形を示す図である。

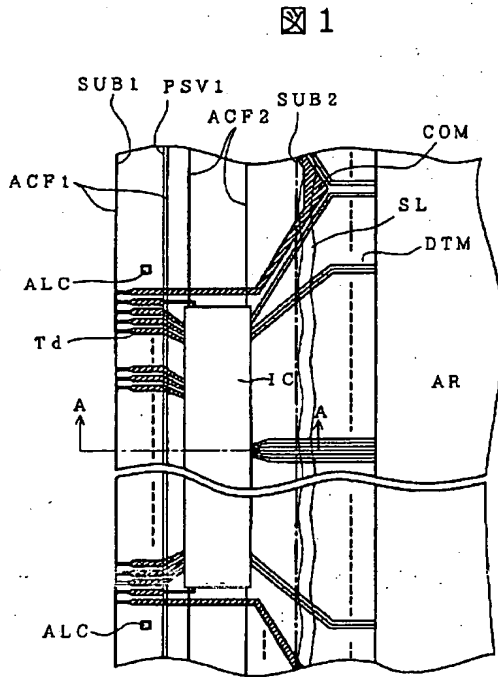
【図22】(a)、(b)はそれぞれ液晶表示モジュールの要部断面図である。

【図23】液晶表示モジュールを実装したノートブック型のパソコンあるいはワープロの斜視図である。

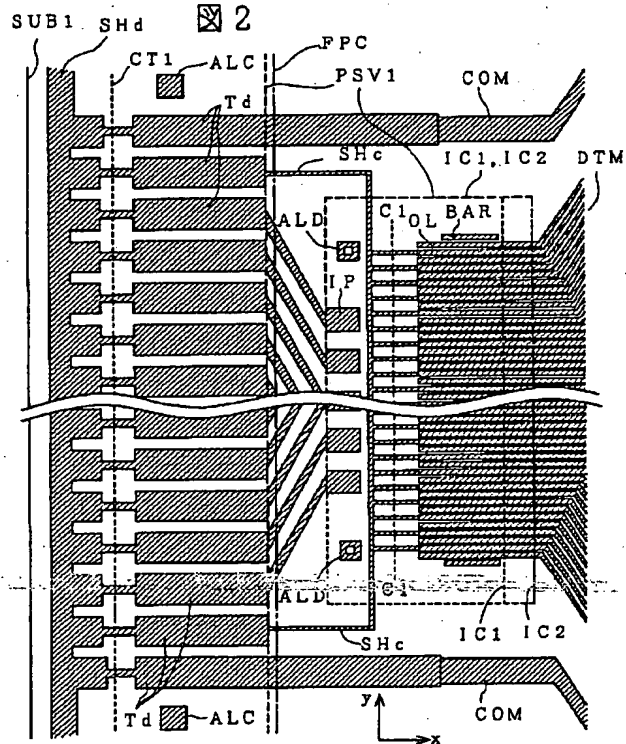
【符号の説明】

BUMP…バンプ、DTM…ドレイン出力端子、 $L_1$ …端子DTMに接続されるバンプBUMP間の距離、 $L_2$ …端子DTM間の距離、Tg…ゲート入力端子、 $L_3$ …端子Tgに接続されるバンプBUMP間の距離、 $L_4$ …端子Tg間の距離。

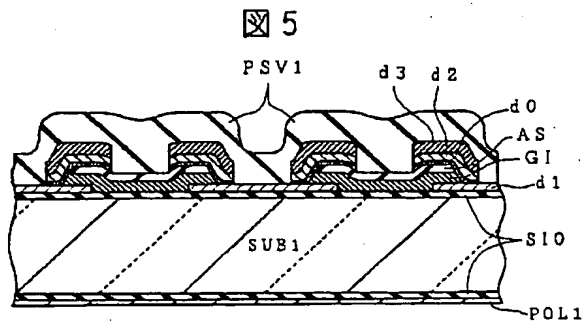
【図1】



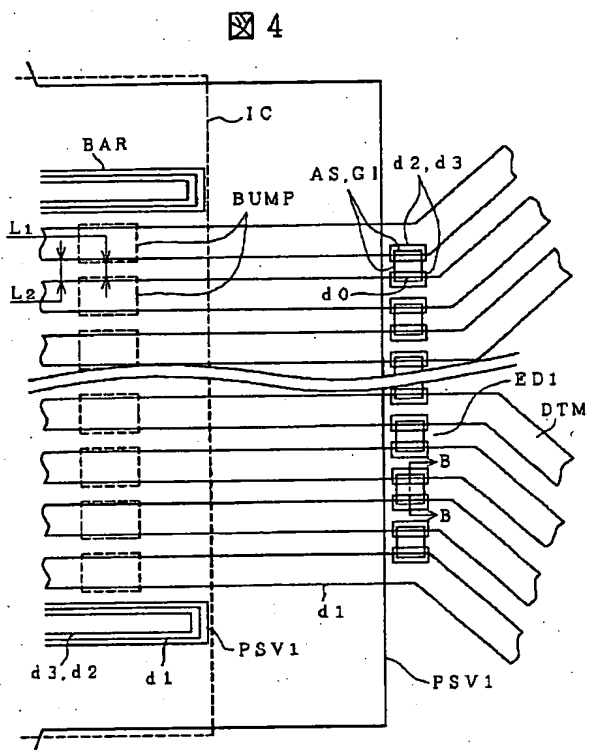
【図2】



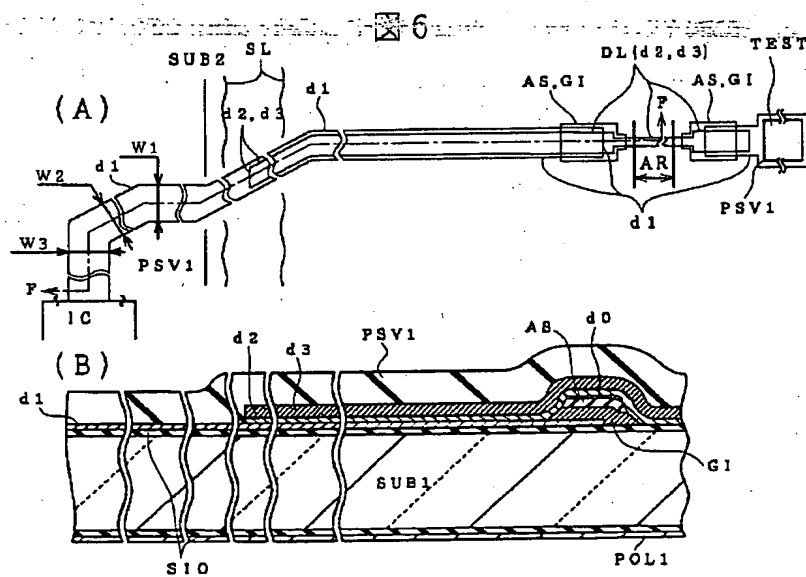
【図5】



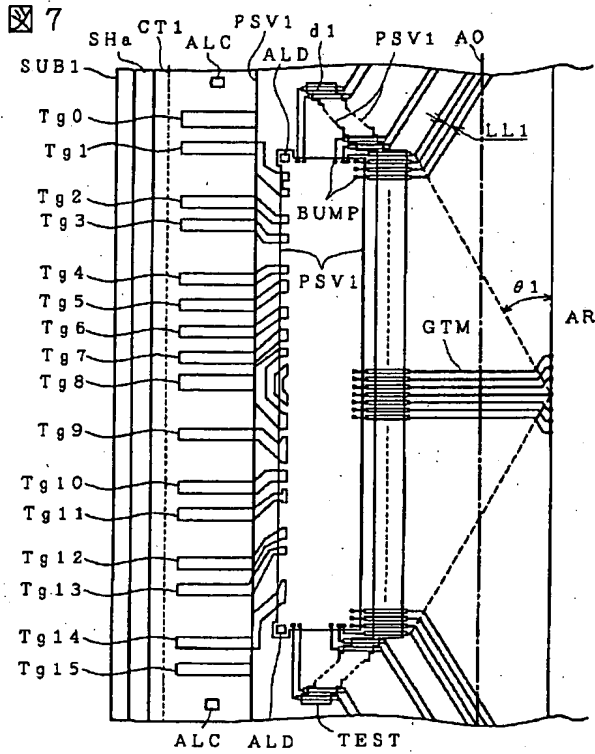
【図4】



【図6】

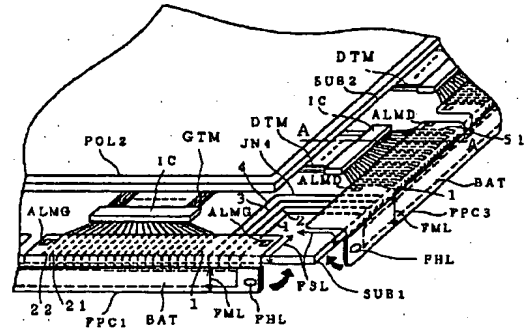


【図7】

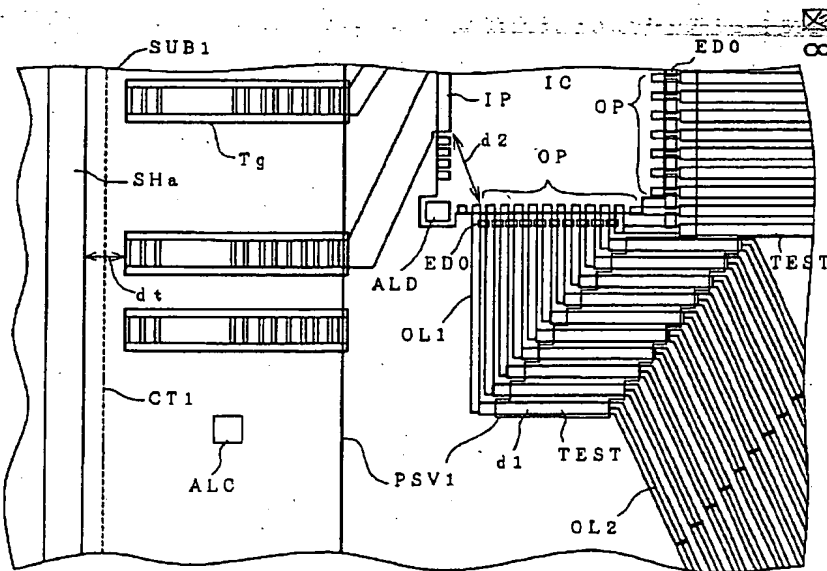


【図12】

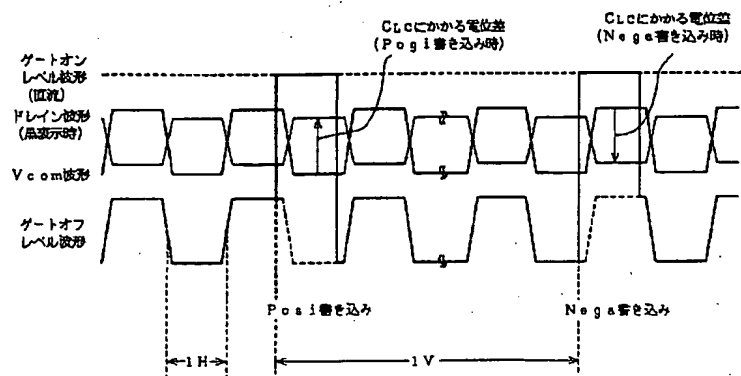
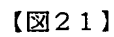
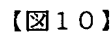
図12



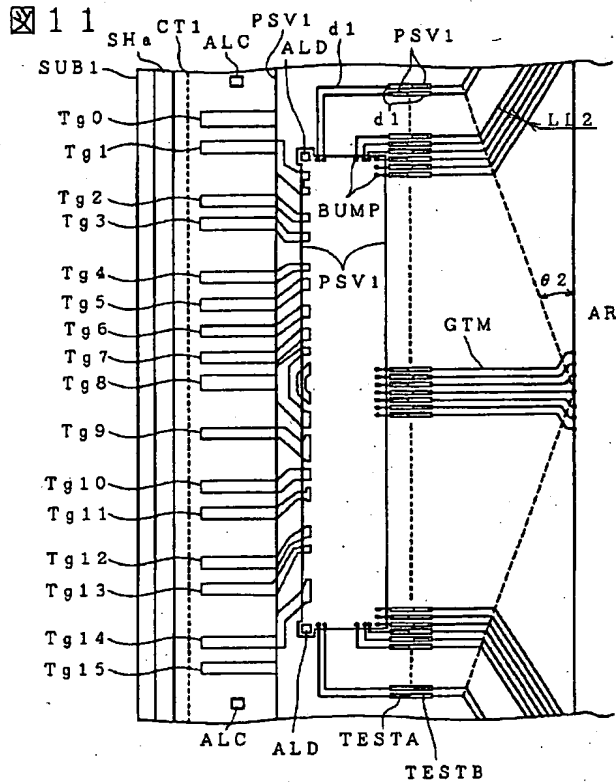
【図8】



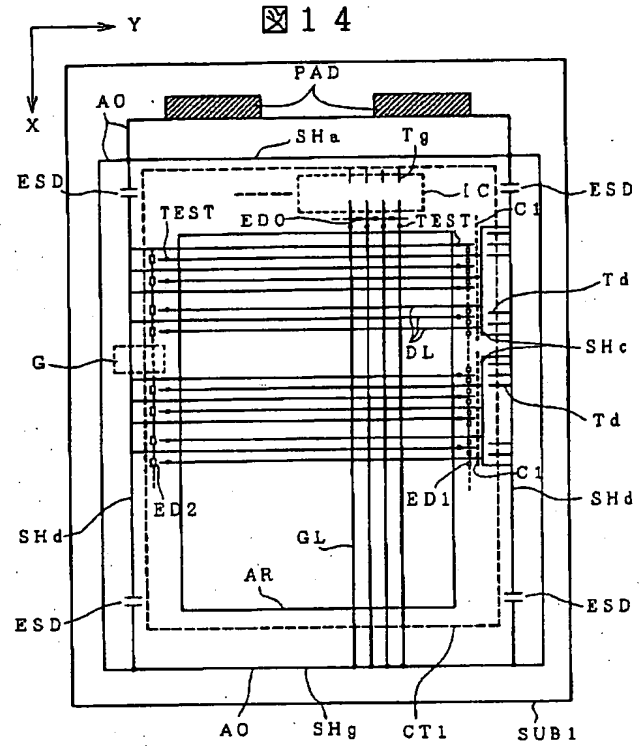
9



【図11】

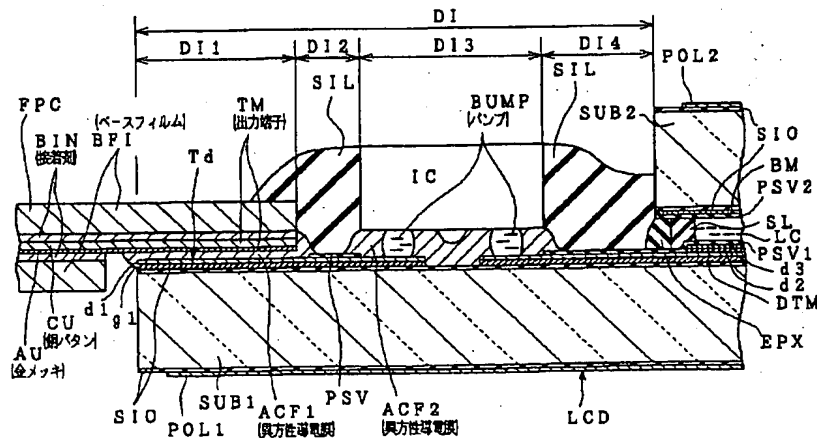


【図14】



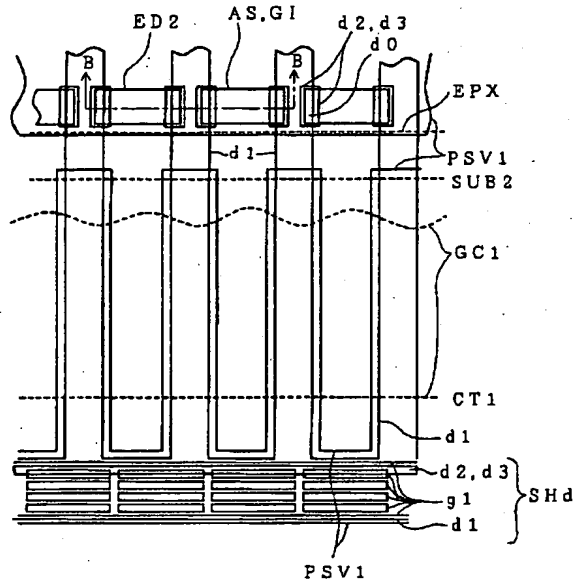
【図13】

図13



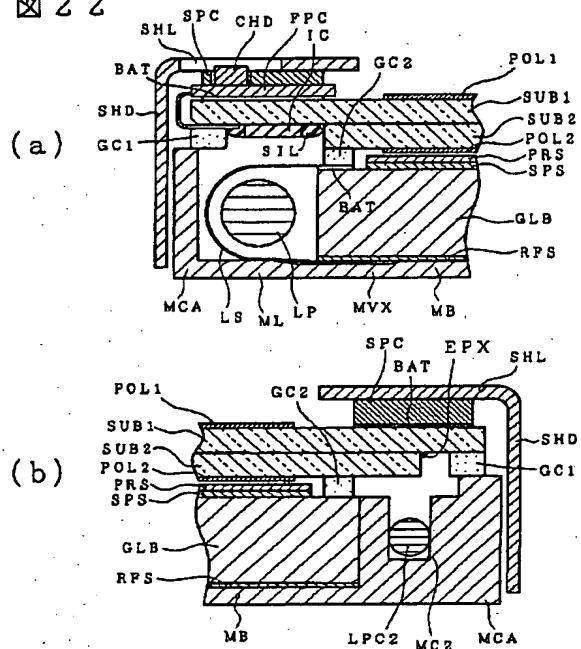
【図15】

図15



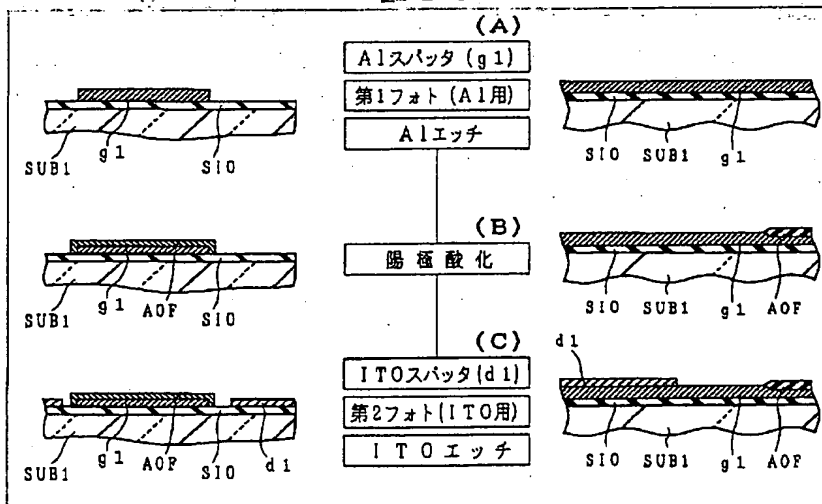
【図22】

図22



【図16】

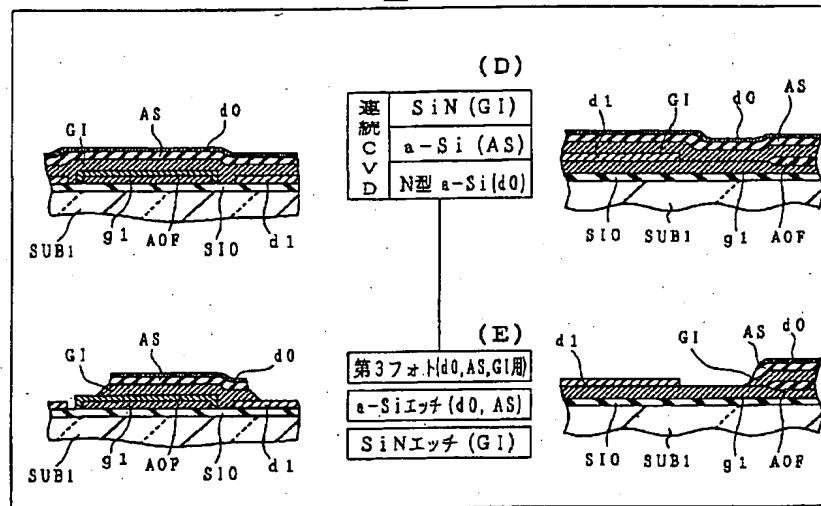
図16





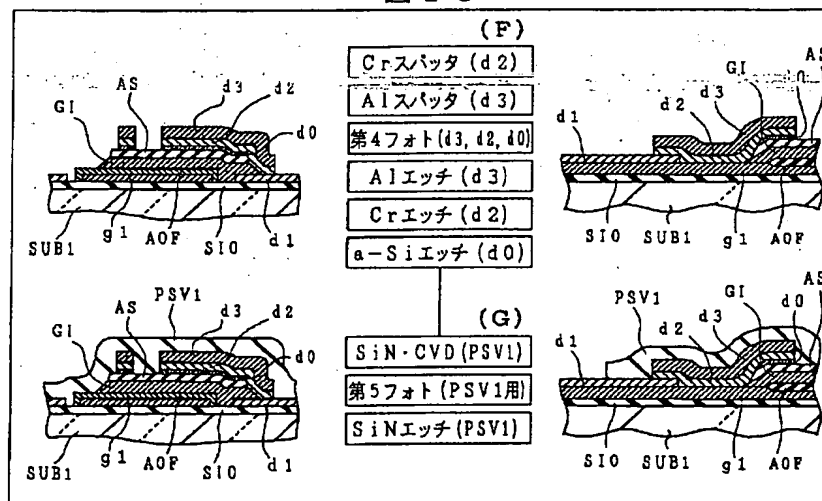
【図17】

図 17

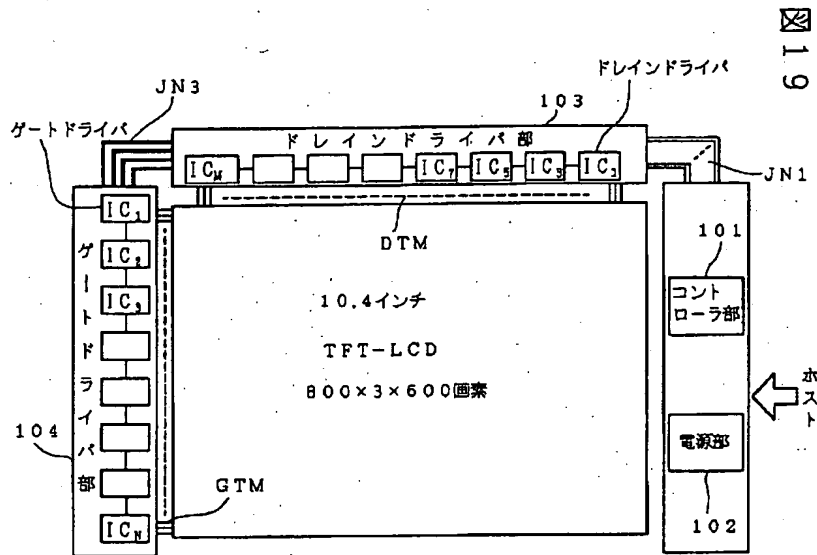


【図18】

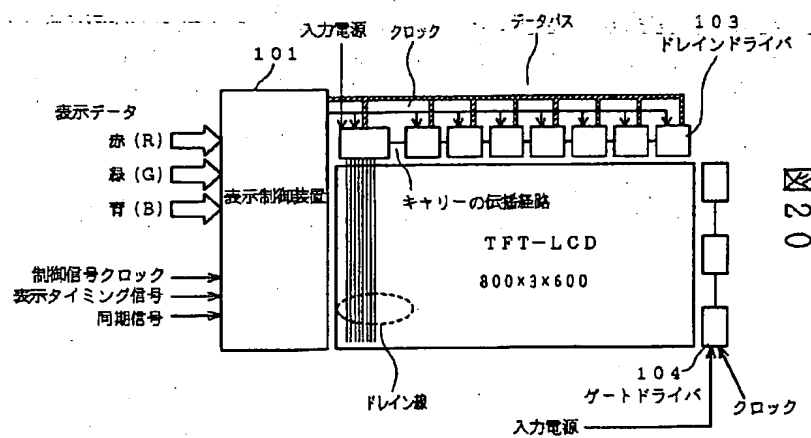
図 18



【図19】

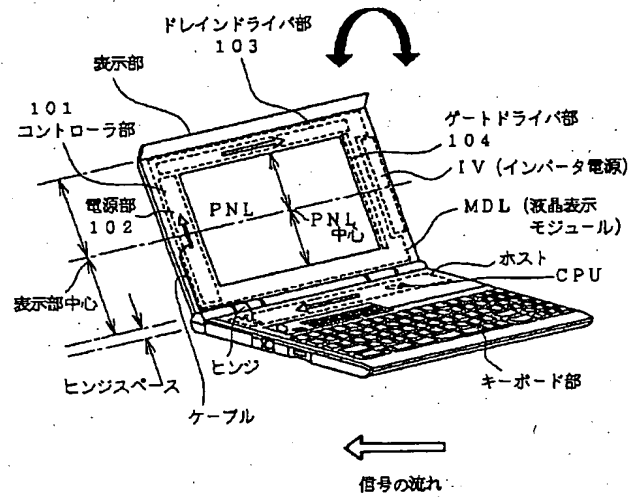


【図20】



【図23】

図23



フロントページの続き

(72)発明者 大河原 洋  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所電子デバイス事業部内